

153 624

KOCAELİ ÜNİVERSİTESİ * FEN BİLİMLERİ ENSTİTÜSÜ

BİR FAZLI EVİRİCİLERİN BULANIK MANTIK İLE DENETİMİ

DOKTORA TEZİ

Elk. Yük. Müh. Yakup KARABAĞ

Anabilim Dalı: Elektrik Mühendisliği

Danışman: Doç. Dr. Nurettin ABUT

OCAK 2004

KOCAELİ ÜNİVERSİTESİ * FEN BİLİMLERİ ENSTİTÜSÜ

BİR FAZLI EVİRİCİLERİN BULANIK MANTIK İLE DENETİMİ

DOKTORA-TEZİ

Elk. Yük. Müh. Yakup KARABAĞ

Tezin Enstitüye Verildiği Tarih : 05 Aralık 2003

Tezin Savunulduğu Tarih : 20 Ocak 2004

Tez Danışmanı

Doç. Dr. Nurettin ABUT

(*Nurettin Abut*)

Üye

Prof. Dr. Hasan DİNÇER

(*H. Dinçer*)

Üye

Doç. Dr. Bekir ÇAKIR

(*Bekir Çakir*)

Üye

Prof. Dr. Galip CANSEVER

(*Galip Cansever*)

Üye

Doç. Dr. Kadir ERKAN

(*Kadir Erkan*)

OCAK 2004

BİR FAZLI EVİRİCİLERİN BULANIK MANTIK İLE DENETİMİ

Yakup KARABAĞ

Anahtar Kelimeler : Evirici, Bulanık Denetim, DGA, Kapalı Çevrimli Denetim

Özet : Günümüzde kullanılan eviricilerin denetiminde genelde yüksek maliyetli sürücü birimlerinin kullanılması nedeni ile evirici maliyetlerde aynı oranda artmıştır. Bu nedenle bu tezde gerçekleştirilen evirici sürücü biriminin, düşük maliyetle aynı performansı verecek şekilde yapılabileceğini göstermek için PIC mikrodenetleyici tabanlı bir sistem geliştirilmiştir. Tezde önerilen ve gerçekleştirilen düşük maliyetli ve dayanıklı mikrodenetleyici tabanlı sisteme, değişik yöntemler (DGA, kare dalga) uygulanmış ve evirici anahtarlama işaretleri yüksek frekanslara çıkarılarak deneysel sonuçlar alınmıştır. Bu tezde DGA'nın pratik olarak gerçekleştirilmesi düşük maliyetle elde edilmesine rağmen evirici yüksek performans göstermektedir. Çok farklı ortamlarda kolaylıkla çalışabilen ve yüksek ömürlü Microchip firmasının ürettiği PIC mikrodenetleyici tabanlı denetim sistemi kullanılarak gerekli program C programlama dilinde yazılmıştır.

Gerçekleştirilen sisteme Telekom santralinde kullanılan eviriciler referans alınmıştır. Bu eviricilerin günümüz teknolojisi ihtiyacına cevap verebilecek seviyeye getirilebilmesi için gerekli çalışmalar yapılmıştır. Telekom santrallerinde kullanılan eviriciler ile yeni tasarlanan evirici karşılaştırıldığında her yönden yeni tasarlanan eviricinin üstün performans gösterdiği deney sonuçlarından görülmüştür. Telekom santrallerinde kullanılan eviricilerde oluşan Toplam Harmonik Bozulması (THB) %10 civarında olmasına karşın tasarlanan eviricide bu değer %4 civarındadır. Gerçekleştirilen evirici ile, Telekom santrallerinde kullanılan eviriciler için kabul edilen % 10 luk toplam harmonik bozulmasının altına düşülerek büyük başarı elde edilmiştir. Ayrıca bu tezde elde edilen diğer bir başarı eviricinin yük üzerindeki akım ve geriliminde oluşan THB IEEE 519 standardı olan; gerilimde % 5 akımda %3 değerindeki bir bozulmanın olması tasarlanan eviricinin IEEE 519 standardına uygun olduğunu göstermektedir. Bulanık mantıklı DGA'nın bir fazlı eviricinin PIC ile denetimi uygulaması yapılmış olup DGA'nın oluşturulmasında şu ana kadar kullanılmayan yeni bir taşıyıcı sinyali elde edilmiştir.

Günümüzde DGA işaretlerinin üretilmesinde yüksek fiyatlı DSP kartlar, mikro işlemciler ve mikrodenetleyiciler kullanılmaktadır. Bunların yüksek maliyetli olması, çevre koşullarından kolaylıkla etkilenmeleri uygulama alanlarını kısıtladığını, bu sakıncalardan dolayı bu tezde önerilen ve gerçekleştirilen devrenin daha uygulanır olduğunu göstermiştir. Bir fazlı eviricinin bulanık mantıkla denetlenmesine ait yeni bir yöntem ileri sürülmüş ve bu yöntemin klasik yöntemlerle karşılaştırılmasına ait Matlab/Simulink programı ile benzeşim ve deneysel sonuçları verilmiştir.

THE CONTROL OF SINGLE PHASE INVERTERS WITH FUZZY LOGIC

Yakup KARABAĞ

Keywords: Inverter, Fuzzy Control, PWM, Closed Loop Control

Abstract : Due to high costed driver units are used generally in the control of inverter, the cost of inverters is also increased. For this reason, a PIC microcontroller based system is developed in order to show that it is possible the inverter driver unit which is materialized in this thesis can be done with low cost. Different methods (PWM, Square Wave) are practised on low cost and long lasting microcontroller based system which is offered and materialized in this thesis and experimental results are measured by giving high frequency to inverter switching signs. In this thesis, although the practically materialization of PWM costs low, inverter shows high performance. The PIC which is produced by Microchip Company is long lasting and can easily work in different conditions. Also the program of PIC is written in C programming language.

In materialized system the inverters of TELECOM switchboard are taken as a referance. The necessary works are done in order to make these inverters to afford the need of todays technology. Comparing the inverters of TELECOM switchboard with the new designed inverters, it is seen that the new designed inverter shows better performance in all aspects. Although, the Total Harmonic Disturbance (THD) which occurs in the inverters of TELECOM switchboard is about %10, in the new designed inverter this value is about %4. Looking these results a big success is managed. Also, regarding IEEE 519 standard about THD; %5 disturbance in voltage, %3 disturbance in current, this inverter is appropriate to this standard. Single phase inverter of fuzzy logic PWM is controlled by using PIC and a new signal, which was not used before, was obtained.

At present, in production of PWM signs the high costed DSP cards, microoperations and microcontrollers are used. Because of their being high costed and effecting from environmental conditions easily, the practicing areas are limited, for this reason, the offered and materialized circuit in this thesis is more practical. A new method about the control of single phase inverter with fuzzy logic is put forward and thinking about the comparision of this method and the classical methods, the assimilation results with Mathlab/Simulink program and experimantal results are given.

ÖNSÖZ VE TEŞEKKÜRLER

Endüstride kullanılan sistemlerin denetimi yapılırken tasarlanan denetim sisteminin her zaman maliyetinin düşük olması ve yüksek performans göstermesi istenir.

1950 'li yıllarda yarı iletken güç anahtarlarının keşfinden sonra evirici devrelerin denetiminde bu yarı iletken anahtarlar yaygın olarak kullanılmaya başlandı. 1980 'lerden itibaren SCR, GTO, BJT, MOSFET, IGBT, MCT gibi, çok hızlı çalışan yarı iletken güç anahtarlarının geliştirilmesi ve gün geçtikçe maliyetlerinin daha da düşmesi bu alanda daha fazla çalışma yapılmasına neden olmuştur. Özellikle sürücü devrelerinde bu anahtarlar, yüksek anahtarlama frekansı ve düşük anahtarlama kayıplarından dolayı yaygın olarak kullanılmaktadır. Denetim içinde yer alan eviricilerin nasıl denetleneceği oldukça önemlidir.

Günümüzde kullanılan eviricilerin denetlenmesinde genelde yüksek maliyetli sürücü birimlerinin kullanılması nedeni ile evirici maliyetleri de aynı oranda artmıştır. Bu nedenle bu tezde gerçekleştirilen evirici sürücü biriminin, düşük maliyetle aynı performansı verecek şekilde yapılabileceğini göstermek için PIC mikrodenetleyici tabanlı bir sistem geliştirilmiştir. Ayrıca eviricilerin denetlenmesine ait bulanık mantıklı yeni bir yöntem ileri sürülmüştür. Bu çalışmanın bundan sonraki araştırmalar için faydalı olmasını dilerim.

Çalışmam süresince her aşamada yol gösteren, her konuda maddi ve manevi desteğini gördüğüm danışman hocalarım Doç. Dr. Nurettin ABUT, Prof. Dr. Hasan DİNÇER ve Doç. Dr. Bekir ÇAKIR 'a, çalışma arkadaşlarım Elek. Yük. Müh. Tarık ERFİDANA 'a ve Elek. Yük. Müh. Satılmış ÜRGÜN 'e teşekkür ederim.

Yakup KARABAĞ

İÇİNDEKİLER

ÖZET	ii
ABSTRACT.....	iii
ÖNSÖZ VE TEŞEKKÜR.....	iv
İÇİNDEKİLER.....	v
SİMGELER DİZİNİ VE KISALTMALAR.....	viii
ŞEKİLLER DİZİNİ.....	x
TABLolar DİZİNİ.....	xiv
BÖLÜM 1. GİRİŞ.....	1
1.1 Bulanık Mantık Denetleyici İle Yapılan Çalışmalar.....	3
1.2 Tezin Amacı.....	10
BÖLÜM 2. EVİRİCİLERİN TEMEL YAPILARI.....	12
2.1 Giriş.....	12
2.2 Tek – Fazlı Eviriciler.....	14
2.2.1 Yarım Köprü Evirici.....	14
2.2.2 Köprü Evirici.....	18
2.3 Tek Fazlı Evirici Topolojileri.....	22
2.3.1 Tek Fazlı Yarım Köprü Evirici.....	22
2.3.2 Tek Fazlı Tam Köprü Evirici.....	23
2.4 Evirici Anahtarlama Yöntemleri.....	25
2.4.1 Kara Dalga DGA.....	26
2.4.2 Sinüsoidal DGA.....	28
2.4.3 Histeresiz DGA.....	32
2.5. Harmonik Yok Etme Yöntemi.....	36
2.6. Gelişmiş Anahtarlama Yöntemleri.....	43

BÖLÜM 3. DGA' NIN PRATİK OLARAK GERÇEKLEŞTİRİLMESİ.....	45
3.1. Giriş.....	45
3.2. Uygulama Devresi.....	46
3.2.1. Güç Modülü.....	47
3.2.2. Besleme Devresi.....	48
3.2.3. IGBT Sürücü Devresi.....	48
3.3. Tasarlanan Sistemin Çalışması.....	49
3.4. Uygulama Sonuçları.....	52
3.4.1. Anahtarlama Frekansı 600 Hz için DGA Sonuçları.....	52
3.4.2. Anahtarlama Frekansı 1.5 KHz için DGA Sonuçları.....	57
BÖLÜM 4. BULANIK MANTIK.....	61
4.1. Giriş.....	61
4.2. Belirsizlik Kavramı.....	61
4.3. Bulanık Küme Teoremi.....	62
4.3.1. Bulanık Küme.....	63
4.3.2. Bulanık Kümeler İle İşlem.....	64
4.4. Bulanık İlişkiler.....	67
4.5. Bulanık İmplikasyon.....	69
4.6. Bulanık Çıkartım.....	70
4.7. Durulama Yöntemleri.....	74
4.8. Bulanık Mantık Denetim Sistemi.....	75
4.8.1. Bulanıklaştırma Birimi.....	76
4.8.2. Bilgi Tabanı.....	77
4.8.2.1. Üyelik İşlevleri.....	77
4.8.2.2. Ölçekleme Faktörlerinin Seçilmesi.....	80
4.8.3. Kural Tabanı.....	82
4.8.3.1. Değişkenlerin Belirlenmesi ve Kuralların İçerikleri.....	82
4.8.3.2. Bulanık İfade Kümelerinin Belirlenmesi.....	85
4.8.4. Bulanık Denetleme kurallarının Oluşturulması.....	86

BÖLÜM 5. BENZEŞİM SONUÇLARI.....	90
5.1 Giriş.....	90
5.2. Kare Dalga DGA.....	90
5.2.1. Taşıyıcı İşaretin Kare Dalganın 12 Katı Olma Durumu.....	91
5.2.2. Taşıyıcı İşaretin Kare Dalganın 30 Katı Olma Durumu.....	93
5.2.3. Taşıyıcı İşaretin Kare Dalganın 60 Katı Olma Durumu.....	95
5.3. Sinüsoidal DGA.....	97
5.3.1. Taşıyıcı İşaretin Kare Dalganın 12 Katı Olma Durumu.....	97
5.3.2. Taşıyıcı İşaretin Kare Dalganın 30 Katı Olma Durumu.....	99
5.3.3. Taşıyıcı İşaretin Kare Dalganın 60 Katı Olma Durumu.....	101
5.4. Histeresiz DGA.....	103
5.4.1. Histeresiz Bant Genişliğinin 0.2 Olma Durumu.....	104
5.4.2. Histeresiz Bant Genişliğinin 0.1 Olma Durumu.....	105
5.4.3. Histeresiz Bant Genişliğinin 0.01 Olma Durumu.....	107
5.5. Bulanık Mantıklı Denetim ile Bir fazlı Eviricinin Denetimi.....	108
5.5.1. Bulanık Mantıklı Denetim Yapısı.....	109
SONUÇLAR VE ÖNERİLER.....	114
KAYNAKLAR.....	119
EK A. PIC MİKRO DENETLEYİCİDE YAZILAN ASSEMBLER	
PROGRAMIN ANA KISMI.....	126
EK B. YAYINLAR.....	130
ÖZ GEÇMİŞ.....	132

SİMGELER DİZİNİ VE KISALTMALAR

V_d	: Hat Doğru gerilimi
v_Y	: Yük gerilimi
i_Y	: Yük akımı [A]
i_s	: Kaynak akımı [A]
$i_{D1}=i_{DSG}$: Serbest geçiş diyotu akımı
τ	: Zaman [s]
T	: Periyot [s]
V_c	: Taşıyıcı dalga gerilimi [V]
V_R	: Temel kare dalga gerilimi [V]
M	: Ayarlama işareti
V_P	: Temel sinüs dalga gerilimi [V]
ω_c	: Taşıyıcı frekans
ω_s	: Temel dalga frekansı
I_3, I_5, v_b	: Harmonik akımlarının nominal değeri [A]
I_{3m}, I_{5m}, v_b	: Harmonik akımların tepe değeri [A]
n	: Harmonik derecesi
V_n	: n. harmoniğin tepe değeri
L	: Asenkron makinenin bir fazının nominal kaçak endüktansı
P_{cu}	: Harmoniklerin oluşturduğu bakır kaybı [W]
K_P	: Oransal katsayı
K_I	: İntegral katsayısı
K_D	: Türev katsayısı
K_C	: Toplam denetleyici kazancı
T_i	: İntegral zamanı
T_D	: Türev zamanı
$e(t)$: Hata işareti
Δe	: Hatanın değişimi
δe	: Hataların toplamı

Δu	: Denetleyici çıkışının değişimi
u	: Denetleyici çıkışı
$u(t)$: Denetim işareti
X	: Bulanık küme
$\mu(x)$: Üyelik derecesi
$(\underline{A}\underline{V}\underline{B})$: Bulanık kümelerde birleşme
$(A\cup B)$: Klasik kümelerde birleşme
$\underline{A}\subset\underline{B}$: Klasik kümeler için kümeler arası alt kümelik bağlantısı
$\underline{A}\subset\underline{B}$: Bulanık kümeler için kümeler arası alt kümelik bağlantısı
μ_R	: Bulanık çıkartım
U_0	: Ağırlık merkezi
UF	: Üyelik fonksiyonu
$\ddot{O}F$: Ölçekleme faktörlerinin
OV_{id}	: Aşım da (overshoot) istenilen değer
RT_{id}	: Yükselme-zamanı için istenilen değer
OSC_{id}	: Salınım genliklerinde istenilen değer
TE	: Transfer elemanı
y_{id}	: İstenilen sistem çıkışının değeri
$e(k)$: k. örnekleme anındaki hata değeri
$\Delta e(k)$: k. örnekleme anındaki hatadaki değişme miktarı
$\Delta u(k)$: k. örnekleme anındaki denetleyici çıkışındaki değişme miktarı
$u(k)$: k. örnekleme anındaki denetleyici çıkışı
BMD	: Bulanık Mantık Denetleyicisi
DGA	: Darbe Genişlik Ayarı
PWM	: Pulse Width Modulation
PID	: Oransal, integral, türev denetleyici

ŞEKİLLER DİZİNİ

Şekil 2.1. Yarım köprü evirici devresi.....	15
Şekil 2.2. Yarım köprü eviricinin yük üzerindeki gerilim ve akımın değişimi.....	15
Şekil 2.3. Anahtar olarak BJT kullanılmış yarım köprü evirici devresi.....	16
Şekil 2. 4. Anahtar olarak BJT kullanılmış yarım köprü evirici akım dalga şekilleri.....	17
Şekil 2.5. Köprü evirici devresi.....	19
Şekil 2.6. Basitleştirilmiş tam-köprü evirici devresi.....	20
Şekil 2.7. Eviricinin çalışma durumları.....	21
Şekil 2.8. Evirici Durum I-II' de çalıştırıldığında çıkış gerilim dalga şekli.....	21
Şekil 2.9. Evirici Durumları I-II-III-IV' de çalıştırıldığında çıkış gerilim dalga şekli.....	22
Şekil 2.10. Bölünmüş kondansatörlü tek-fazlı yarım-köprü eviricinin temel devresi.....	22
Şekil 2.11. Tek-fazlı tam-köprü evirici devresi.....	23
Şekil 2.12. Tam-köprü evirici için çıkış faz ve hat gerilim dalga şekilleri.....	24
Şekil 2.13. Kare dalga DGA evirici için denetim devresi sinyalleri.....	26
Şekil 2.14. (a) Maksimum temel genliğe bağlı harmonik genliği, (b) Gerçek temel genliğe bağlı harmonik genliği.....	27
Şekil 2.15. DGA işaretlerinin elde edilmesi	28
Şekil 2.16. DGA eviricisinin faz gerilimi.....	29
Şekil 2.17. Düzenli örnekleme DGA yöntemi.....	31
Şekil 2.18. Tranzistörlü eviricilerde temel frekans ve taşıyıcı frekans ilişkisi.....	32
Şekil 2.19. Çıkış geriliminin histeresiz akım ayarı tekniğiyle denetimi.....	33
Şekil 2.20. Histeresiz akım yöntemi ile denetim yapısı.....	33
Şekil 2.21. Histeresiz akım denetleyici benzeşim modeli.....	35
Şekil 2.22. Histeresiz akım denetleyicide yük akımının zamana bağlı değişimi.....	35
Şekil 2.23. Uyarlamalı DGA denetim blok diyagramı.....	36

Şekil 2.24. Çıkış geriliminin programlanmış harmonik yok etme yöntemi ile denetimi.....	37
Şekil 2.25. Harmonik yok etme yönteminde gerilim dalgası.....	39
Şekil 2.26 5. ve 7. harmonikler için temel çıkış gerilimi ve boşluk açısı arasındaki ilişki.....	40
Şekil 2.27. 5. ve 7. harmoniklerin elenmesini gösteren spektrum analizör çıkışı.....	42
Şekil 2.28. Üçüncü harmoniklerin enjeksiyon ayarı tekniği (bipolar yaklaşım).....	44
Şekil 2.29. Üçüncü harmoniklerin enjeksiyon ayarı tekniği (unipolar yaklaşım).....	44
Şekil 3.1. Uygulama devresi blok şeması.....	46
Şekil 3.2. Uygulama devresi.....	46
Şekil 3.3. Güç Modülünün iç yapısı.....	47
Şekil 3.4. IGBT sürücü devresi.....	49
Şekil 3.5. Besleme ve IGBT sürücü devresi.....	50
Şekil 3.6. Sistemin çalışmasına ait blok şeması.....	51
Şekil 3.7. Evirici anahtarlama işaretleri.....	52
Şekil 3.8. Bir fazlı eviricinin çıkış geriliminin zamana bağlı değişimi.....	53
Şekil 3.9. Bir fazlı eviricinin yük akımının zamana bağlı değişimi.....	54
Şekil 3.10. Bir fazlı eviricinin çıkış gerilimi ve yük akımının zamana bağlı değişimi.....	55
Şekil 3.11. (a) Yük direnci gerilimi, (b) Temel bileşen(1.), (c) 3., (d) 13., (e) 23., (f) 25. harmonik değerleri.....	56
Şekil 3.12. Evirici anahtarlama işaretleri.....	57
Şekil 3.13. Bir fazlı eviricinin çıkış geriliminin zamana bağlı değişimi.....	58
Şekil 3.14. Bir fazlı eviricinin yük akımının zamana bağlı değişimi.....	58
Şekil 3.15. Bir fazlı eviricinin çıkış gerilimi ve yük akımının zamana bağlı değişimi.....	59
Şekil 3.16. (a) Yük direnci gerilimi, (b) Temel bileşen(1.), (c) 3., (d) 31. harmonik değerleri.....	60
Şekil 4.1. (a) Klasik küme, (b) Bulanık küme Üyelik derecesi işlevleri.....	63
Şekil 4.2. (a) (AUB) klasik kümelerde, (b) ($\underline{A}\underline{V}\underline{B}$) bulanık kümelerde birleşme.....	65
Şekil 4.3. (a) Klasik kümede kesişme, (b) Bulanık kümede kesişme.....	65
Şekil 4.4. (a) Bağdaşmayan klasik kümeler, (b) Bağdaşmayan bulanık kümeler.....	66
Şekil 4.5.(a) Kapsayan klasik kümeler, (b)Kapsayan Bulanık Kümeler.....	66

Şekil 4.6. (a) Klasik kümenin değili, (b) Bulanık kümenin değili.....	67
Şekil 4.7. x için hızlı, y için çok az kavramsal ifadeleri.....	70
Şekil 4.8. $x' = 0.6$ için MAX-MİN çıkartım işleminin grafiksel gösterimi.....	71
Şekil 4.9. MAX-PROD çıkartımı.....	72
Şekil 4.10. Farklı çıkartımların grafiksel karşılaştırılması.....	73
Şekil 4.11. Durulama Yöntemlerinin Karşılaştırılması.....	75
Şekil 4.12. Bulanık Mantık Denetim Sistemi.....	76
Şekil 4.13. (a) Üyelik işlevleri, (b) Üyelik işlevinin çekirdeği, desteği, sınırı.....	78
Şekil 4.14. (a) Normal bulanık küme, (b) Normal olmayan bulanık küme.....	79
Şekil 4.15. (a) Konveks bulanık küme, (b) Normal olmayan bulanık küme.....	79
Şekil 4.16. (a) Üçgen \tilde{U}^F u, b)Tropez \tilde{U}^F u , (c) Çan eğrisi \tilde{U}^F u.....	79
Şekil 4.17. Bir sistemin cevabının, olması istenilen cevap ile karşılaştırılması.....	86
Şekil 4.18. Birim basamak sistem cevabı.....	87
Şekil 4.19. Kapalı Çevrim Bulanık Denetleme Sistemi.....	87
Şekil 5.1. Anahtarlama işaretlerinin zamana bağlı değişimi.....	91
Şekil 5.2. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.....	91
Şekil 5.3. Yük gerilimi üzerindeki harmonikler.....	92
Şekil 5.4. Yük akımı üzerindeki harmonikler.....	92
Şekil 5.5. Anahtarlama işaretlerinin zamana bağlı değişimi.....	93
Şekil 5.6. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.....	93
Şekil 5.7. Yük gerilimi üzerindeki harmonikler.....	94
Şekil 5.8. Yük akımı üzerindeki harmonikler.....	94
Şekil 5.9. Anahtarlama işaretlerinin zamana bağlı değişimi.....	95
Şekil 5.10. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.....	95
Şekil 5.11. Yük gerilimi üzerindeki harmonikler.....	96
Şekil 5.12. Yük akımı üzerindeki harmonikler.....	96
Şekil 5.13. Bir fazlı PID denetimli sinüsoidal DGA evirici	97
Şekil 5.14. Anahtarlama işaretlerinin zamana bağlı değişimi.....	97
Şekil 5.15. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.....	98
Şekil 5.16. Yük gerilimi üzerindeki harmonikler.....	98
Şekil 5.17. Yük akımı üzerindeki harmonikler.....	99
Şekil 5.18. Anahtarlama işaretlerinin zamana bağlı değişimi.....	99

Şekil 5.19. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.....	100
Şekil 5.20. Yük gerilimi üzerindeki harmonikler.....	100
Şekil 5.21. Yük akımı üzerindeki harmonikler.....	101
Şekil 5.22. Anahtarlama işaretlerinin zamana bağlı değişimi.....	101
Şekil 5.23. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.....	102
Şekil 5.24. Yük gerilimi üzerindeki harmonikler.....	102
Şekil 5.25. Yük akımı üzerindeki harmonikler.....	103
Şekil 5.26. Bir fazlı histeresiz denetimli evirici.....	104
Şekil 5.27. (a) Yük geriliminin, (b) Yük ve referans akımının zamana bağlı değişimi.....	104
Şekil 5.28. Yük gerilimi üzerindeki harmonikler.....	104
Şekil 5.29. Yük akımı üzerindeki harmonikler.....	105
Şekil 5.30. (a) Yük geriliminin, (b) Yük ve referans akımının zamana bağlı değişimi.....	105
Şekil 5.31. Yük gerilimi üzerindeki harmonikler.....	106
Şekil 5.32. Yük akımı üzerindeki harmonikler.....	106
Şekil 5.33. (a) Yük geriliminin, (b) Yük ve referans akımının zamana bağlı değişimi.....	107
Şekil 5.34. Yük gerilimi üzerindeki harmonikler.....	107
Şekil 5.35. Yük akımı üzerindeki harmonikler.....	108
Şekil 5.36. Bir fazlı Bulanık Mantık Denetimli DGA evirici.....	109
Şekil 5.37. Bulanık mantıklı denetimin genel yapısı.....	109
Şekil 5.38. Bulanık mantıklı denetime giriş yapan yük akımı sınırları diyagramı.....	110
Şekil 5.39. Bulanık mantıklı denetime giriş yapan yük gerilimi sınırları diyagramı.....	110
Şekil 5.40. Bulanık mantıklı denetimin çıkış sınırları diyagramı.....	111
Şekil 5.41. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.....	112
Şekil 5.42. Yük gerilimi üzerindeki harmonikler.....	112
Şekil 5.43. Yük akımı üzerindeki harmonikler.....	113
Şekil 5.44. Referans gerilim ile bulanık denetim çıkışının karşılaştırılması.....	113

TABLULAR DİZİNİ

Tablo 2.1. DGA' da çıkış harmoniklerinin özeti.....	30
Tablo 2.2. V_s 'nin %93'ten %100'e değişimindeki α açısı değerleri tablosu.....	41
Tablo 4.1 Bulanık Denetimdeki Operatörlerden Bazıları.....	69
Tablo 4.2 X ve Y değerleri için ilişki matrisi.....	71
Tablo 4.3. İlişki matrisi tablosunda $x' = 0.6$ için MAX-MIN çıkartımı.....	71
Tablo 4.4 İlişki matrisi tablosunda $x' = 0.6$ için MAX-PROD çıkartımı.....	72
Tablo 4.5. Bulanık Denetleme Kurallarının Prototipi. (Negatif, Sıfır, Pozitif İfade kümeleri İle).....	88
Tablo 4.6. Uygun Kuralların Eklenmesiyle Elde Edilen Bulanık Denetleme Kuralları.....	88
Tablo 4.7. Bulanık Denetim Kurallarının Prototipi İfade kümesi (NB, NO, NK, S, PK, PO, PB).....	89
Tablo 5.1 Bulanık mantık kural tablosu.....	111

BÖLÜM I. GİRİŞ

Bulanık mantık denetleyicilerin (BMD), kompleks ve doğrusal olmayan sistemler için ideal oldukları, yapılmış olan pek çok çalışma ile gösterilmiştir [83]. Geleneksel denetleyicilere göre BMD' ler daha üstündürler ve parametrik değişimlere karşı daha az duyarlıdırlar. Bir denetleyici, değişen çevresel koşullara rağmen denetleme işlemini yerine getirebiliyorsa böyle denetleyicilere uyarlamalı (adaptive) denetleyiciler denir. Uyarlamalı BMD lerin kendini ayarlayan (self-tuning) ve kendini organize eden (self-organizing) denetleyiciler gibi farklı tipleri vardır. Son yıllarda yapılmış olan çalışmalarla BMD' lerin üstünlüklerinin artırılması ve performanslarının iyileştirilmesi başarılmıştır [63]. Bunun için "yapay sinir ağları" ve "genetik algoritmalar" yararlanılmıştır.

BMD' lerin, oransal-integral (PI), oransal-türev (PD) ve oransal-integral-türev (PID) gibi türleri vardır. Sistem denetlemesinde, geleneksel PI denetleyiciler en yaygın ve kullanışlı olanlarıdır. Bunları PD tipi BMD' ler takip eder [82]. Oransal ve integral alma işlemleri PI tipi denetleyicide birleştirilmiştir. Böylelikle oransal etkinin doğasındaki kararlılık ve integral etkinin kararlı durum hatasını azaltma avantajları birleştirilmiştir. PI tipi BMD' lerin performansları, doğrusal ve birinci dereceden transfer işlevine sahip sistemler için oldukça iyidir [76]. Fakat geleneksel PI denetleyiciler gibi PI tipi BMD' lerin performansları da integral elemanı içeren veya büyük ölü-zaman doğrusalsızlığına sahip ve transfer işlevi yüksek dereceden olan sistemler için oldukça kötüdür [36]. Örneğin büyük ölü-zaman içeren bir sistemin basamak cevabında oluşan ilk aşım (overshoot), bazı uygulamalar için kabul edilebilme sınırlarını aşacak kadar büyük olabilir. PD tipi BMD' ler belirli sınıftaki sistemler için uygun olabilir. Gürültü içeren ve ani yük değişimi olan sistemler için önerilmezler. PID tipi BMD' ler çok sayıdaki parametreleri ayarlamak ve verimli bir kural tabanı geliştirmekle ilgili güçlükleri gidermek için

kullanılır. Bir BMD, genellikle uzman bilgilerine göre türetilmiş sabit denetleme kurallarına sahiptir.

Giriş ve çıkışın dilsel değişkenlerinin üyelik işlevleri (ÜF), genellikle ortak bir uzayda tanımlanmıştır. Başarılı bir BMD tasarımı için giriş ve çıkış ölçekleme faktörlerinin (ÖF) ve diğer denetleyici parametrelerinin uygun seçilmiş olması gerekir. Bu seçim, bazen çıkış verilerinin değişimine göre bazen de deneme yanılma yöntemi ile yapılır. Ayarlanabilen parametre türlerinden olan (ÖF) leri, denetleme performansı üzerindeki global etkilerinden dolayı en yüksek önceliğe sahiptirler. Bununla birlikte, giriş ve çıkış ÖF' lerinin bir BMD' nin performansındaki bağıl önemi henüz tam olarak oturmamıştır.

Bir sistemin matematiksel modeline dayalı olarak gerçekleştirilen geleneksel denetleyicilerin aksine, BMD' ler genellikle sistem operatörünün veya tasarım mühendisinin uzmanlık ve tecrübelerine bağlı olarak geliştirilirler. Tecrübeli bir operatör, bir sistemi denetlerken hata (e) ve hatanın değişimine (Δe) bakarak mümkün olan en kısa zamanda hatayı minimize edecek şekilde sistem girişini (denetleyici çıkışı) değiştirir. Bulanık mantık denetleyicide, çıkış ölçekleme faktörlerinin işlevi denetleyici kazancına benzetilebilir. Bundan dolayı denetleme sisteminin kararlılığı ile doğrudan ilişkilidir ve başarılı bir BMD tasarımı için çıkış ÖF leri çok dikkatli seçilmelidir.

Otomatik denetleme altındaki uygulanabilir sistemlerin çoğu, doğrusal olmayan yüksek dereceden sistemlerdir ve ölü-zaman içerebilirler. Bu sistemlerin parametreleri, çevresel koşulların değişmesi ile veya zamanla rastgele değişebilir. Denetleme işlevi, ölü-zamanlı sistemde kabul edilemez bir gecikmeye uğrar. Bunun sonucu olarak ölü-zaman, fiziksel sistemlerde doğal olarak oluşmuş bir dinamik elaman olarak kabul edilir ve dinamik elamanın gösterdiği bütün güçlükleri gösterir. Herhangi bir denetim sistemi tasarımında ölü-zamandan kaynaklanan güçlükler göz önüne alınmalıdır. Denetleyici çıkışında tatmin edici bir performansa sahip olmak için e ve Δe ' ye bağlı doğrusal olmayan bir işlevle kullanmak gerekir. BMD sınırlı sayıdaki EĞER-O HALDE kuralları ile bu doğrusal olmama durumunu kendi bünyesine katmaya çalışır. Fakat optimum performans için gerekli denetleyici çıkışına her zaman yeterince iyi bir performansla yaklaşamaz.

Böyle bir durumda, sabit değerli ÖF' ler ve önceden tanımlanmış ÜF' ler bu sorunu çözmeye yeterli olmayabilir.

1.1 Bulanık Mantık Denetleyici İle Yapılmış Çalışmalar

Kendi kendini ayarlayabilen (self-tuning) BMD tasarımı ile ilgili yayınlanmış olan çalışmaların başında

Palm (1985), giriş-çıkış geçiş ilişkisi işlevinin yardımı ile girişin ölçekleme faktörlerinde en iyi ayarlamayı yapmayı amaçlayan çalışma gelir. Ayarlama konusunda, çıkışın ölçekleme faktörlerine girişin ölçekleme faktörlerinden daha fazla önem verilmiştir. Bu çalışmada giriş verilerinin, parametreleri bilinmeyen Gaussian dağılımına uyduğu kabul edilmiştir. Girişin ölçekleme faktörünün (ÖF) en iyi (optimal) değeri, giriş ve çıkış arasındaki ilişkinin istatistiksel ölçümü olan geçiş ilişkisi işlevinin maksimum yapılması ile elde edilmiştir.

Iwasaki ve Morita (1986), birinci dereceden ve ölü-zaman içeren sistemleri, otomatik ayarlı (auto-tuning) BMD tasarımı ile gerçekleştirmişlerdir. Burada, varsayılan bir sistem modelinin parametreleri, gerçek sistem özellikleri (aşım, yükselme zamanı) ve sistem modelinin özellikleri arasındaki farklar kullanılarak bulanık çıkartımı boyunca artımlı olarak yenilenmiştir. Bu tür denetleyicilerin, bütün performans özellikleri, kabul edilen sistem modelinin, gerçeğine ne kadar yakın olduğuna bağlı olacaktır.

Yoshida (1986), bütün sistemlerin, birinci dereceden ve ölü-zaman içerdiğini varsaymıştır. Giriş ve çıkış ölçekleme faktörlerini (ÖF), sistem parametrelerini içeren bazı deneysel ilişkilerle hesaplamıştır. Bu teknikle, yüksek dereceden sistemler için iyi sonuçlar elde edilememiştir.

Zheng (1990), Bir PI tipi BMD' nin, global etkili ve lokal etkili şeklinde önemlerine göre düzenlenmiş parametrelerini ayarlamayı başarmışlardır. Ölçekleme faktörlerinin (ÖF) ayarlanmasına, maksimum önem vermişlerdir. Zheng BMD' nin ayarlanması için herhangi

bir algoritma oluşturmamıştır. Fakat BMD' nin ayarlanması ile ilgili algoritmalar tasarlanırken göz önünde bulundurulmuş (denetleyici performansı üzerinde etkili olan) çeşitli faktörler ele alınmıştır. Giriş ve çıkış ölçekleme faktörlerinin, geleneksel PI denetleyicinin parametrelerinden (K_p ve T_i) seçilmiş olması önerilmiştir. Benzeşim sonuçları, ikinci dereceden doğrusal bir sistemin geçiş cevabına göre elde edilmiştir.

Bolognani (1992), doğru akım motor hız denetimi, bilgi (look-up) tablosu yardımı ile bulanık mantık teorisini kullanarak benzeşimini yapmıştır, geleneksel denetleyicilere göre oldukça iyi benzeşim sonuçları elde etmiştir.

Yasunobu (1992), tarafından otomatik tren işletim sistemi için kural tabanlı bulanık mantık denetim yaklaşımı geliştirilmiştir.

Schaefer (1993), INTEL 80C196 kodlu mikro işlemci ve yazılım paketi kullanarak DA motorları denetimi uygulaması gerçekleştirmiştir.

Kim (1993), bir robot sisteminde kullanılan motor denetimini bulanık adaptif denetleyici tasarımı gerçekleştirmiştir.

S. Z. He ve S. Tan (1993), geleneksel PID denetleyicinin parametrelerinin otomatik ayarlanabildiği bir BMD tasarımı yapmışlardır. Oransal kazanç (K_p), integral zamanı (T_i), türev zamanı (T_d) başlangıçta Zeigler-Nichols ayarlama tekniği ile hesaplanmıştır. Bu üç parametre, e ve Δe ye bağlı olarak tanımlanmış bir kural tabanı ile hesaplanan bir parametre ile sürekli olarak değiştirilmiştir. Sonuçta, tasarımı yapılan denetleyicinin bütün performans kriterleri, geleneksel eşdeğerleri ile karşılaştırıldığında, daha küçük bir aşma (overshoot) fakat daha büyük bir yükselme zamanı oluştuğu gözlenmiştir.

De Azevedo (1993), bir dişli takımı, ile mekanik yükün konum denetimini yapan DA motorlarının bulanık mantıkla denetimini gerçekleştirmiştir. Bulanık mantık denetleyicinin hassas ayarlamasını da kayan kipli denetim teorisi ile gerçekleştirmiştir.

Bulanık mantık denetleyicisi, geleneksel PID denetleyiciye göre yük deęişimlerine karşı daha az hassas olduğundan daha iyi performans sağlamıştır.

Texeira (1994), doğrusal olmayan bir yüke baęlı eviricinin Bulanık Yapay Sinir (Neural Fuzzy) yaklaşımı ile denetiminin benzeşim sonuçlarını vermiştir.

Bolognani (1994), sürücü devrelerini denetleyen ve kendi kendini düzenleyen (self-organizing) bulanık denetleyici tasarımı yapmıştır. Hat gerilimi deęişimlerine karşılık sürme sisteminin dayanıklılığının arttığını göstermiştir.

Batur(1994), kendi kendini ayarlayan bulanık mantık denetleyicisi tasarlamış ve bir doğru akım hız denetiminde önerilen teknięi kullanmıştır. Bu yöntemde, denetleyicinin çıkış üyelik işlevleri optimum performans için otomatik olarak ayarlanmaktadır.

Branco (1994), DA çeviricisi üzerinden beslenen bir AA motorunda oluşan elektro mekanik sürme sisteminin bulanık modellemesini gerçekleştirmiştir.

Calderon (1994), hız denetim sistemi için doğrusal adaptif bulanık denetim teknięi önermiştir. Önerilen teknięin etkinliğini kanıtlamak için benzeşim çalışması gerçekleştirmiştir.

Lin (1994), konum denetiminde kullanılan DA motorları için bulanık mantık ve geleneksel PID denetleyici sistemlerini karşılaştırmıştır. Bilgi tablosu yerine yeni üyelik işlevi içeren bulanık mantık denetleyici uygulama çalışmaları gerçek zamanda gerçekleştirilmiştir.

Buja (1995), bulanık mantık denetim sistemini ağır hesaplama zorluğundan kurtarmak için Yapay Sinir denetleyici uygulaması önermiş ve önerilen denetleyici sürücü sistemlerinde deneysel olarak kullanılmıştır.

Getau (1995), gerçek zamanda sabit anahtarlama frekansında, DA çevirici denetimi için bulanık mantık ve optimal söndürme (commutation) prensibini içeren bir denetleyici önermektedir. Benzeşim çalışmaları ile denetleyicinin, herhangi bir matematiksel modele ihtiyaç göstermeden, parametre değişimleri ve bozucu dış etkilere karşı çok iyi cevap verdiğini göstermektedir.

Bose (1995), faz denetimli ayarlı köprü doğrultucu üzerinden beslenen serbest uyarımlı doğru akım motoru hız denetiminin bulanık mantık yöntemi ile gerçekleştirilmesini açıklamıştır. Düşük hızlarda ortaya çıkan doğrultucunun süreksiz akımla çalışma durumu öz eğrisini doğrusallaştırmak için bulanık mantık yöntemini kullanmış ve benzeşim sonuçlarını geleneksel PI denetleyici ile karşılaştırmıştır.

Soliman (1995), sürücü devreleri için bulanık mantık denetleyici gerçekleştirmiştir. Çalışmada doğru akım motoru dinamik benzeşim sonuçları vermiştir. Dayanıklı cevap ve minimum ilk kalkınma akımı sağlamıştır.

Li (1996), DA çevirici denetimi için bulanık mantık algoritması önermekte ve benzeşim sonuçları ile bulanık mantık denetleyicisinin geleneksel PID denetleyiciye göre daha iyi sonuç verdiğini göstermiştir.

Raviraj (1996), güç dönüştürücüleri uygulamalarında kullanılan, PI, kayan kipli denetim (Sliding Mode Control), ve bulanık mantık denetimi karşılaştırmaktadır. Kayan kipli denetim ve bulanık denetim ile geleneksel PI denetime göre daha iyi benzeşim sonuçları elde etmiştir.

So (1996), sürücü devreleri için deneysel olarak bulanık mantık denetleyici uygulama çalışması yapmıştır. Yüksek anahtarlama hızlarında bile kullanım dijital sinyal işlemcisi yardımı ile oldukça iyi sonuçlar elde edilmiştir. İleriki çalışmalarının denetim algoritmasını iyileştirmek ve değişken seçimi ile kural sayısını optimize etmek yönünde olacağını belirtmiştir.

Wang (1996), tarafından, Buck, Boost ve Buck/Boost çeviricilerde bulanık mantık ve akım durum denetimi karşılaştırılmıştır. İlk kalkınma, geçici rejim ve yük ayarı ile ilgili bilgisayar benzeşim sonuçları verilmiştir.

Mattavelli (1996), DA çeviricileri için genel amaçlı bir bulanık denetleyici tasarlamıştır. Buck-Boost ve Sepic çevirici tipleri için küçük cevabı benzeşim sonuçları verilmiştir.

Giles (1997), DA motor denetimi için bulanık yapay sinir yaklaşımı geliştirmiş, motorun ilk kalkınma anındaki aşırılıkları azaltmak ve yük değişimlerine karşı istenen motor hızını sağlamak amacı ile bir denetleyici örneği vermiştir.

Li (1997), Buck-Boost tipi DA çeviriciler için yarı doğrusal modellemeye dayalı bulanık denetim algoritması önermiş ve benzeşim sonuçları vermiştir.

Caponetto (1997), bulanık denetleyici tasarımı optimizasyonu için genetik algoritma kullanımı önermiş ve tekniği bir DA hız denetiminde bulanık denetleyici ile birlikte kullanmıştır.

Lee (1998), DA motorlarının sürme sisteminin geçici rejim davranışını doyma etkili yükseltici ile geliştirmiştir. Bulanık mantık tekniği kullanarak gerçek zamanda oldukça iyi sonuçlar elde etmiştir.

Sousa (1998), bulanık mantığın, güç elektroniği ve motor sürme devrelerinde artan bir hızda kullanımını tartışmakta, mümkün olan uygulama alanı örnekleri vererek tasarım ve uygulama olanaklarını açıklamaktadır. Çalışmada, BMD' li dönüştürücü üzerinden beslenen DA motoru sürücü sisteminin bulanık mantıkla denetimi önerilmektedir.

Newton (1999), raylı taşıma araçları için tahrik ve fren denetim sistemi yapay sinir ağı ve bulanık mantık tekniklerini kullanarak gerçekleştirmiş ve ilgili benzeşim sonuçlarını vermiştir.

Khan (1999), bulanık mantık ve yapay sinir ağı tabanlı bir yazılım olan bulanık yapay sinir programı ile C kodunda DA motoru denetleyici uygulamasını gerçekleştirmiştir.

Ullah (2000), dijital mikro işlemci ile kapalı çevirim doğru akım motor denetimini bulanık yapay sinir algoritması ile tasarlamıştır. Programlama ve pratik uygulamasını gerçeklemiştir.

Govind (2000), verimli DA motor hız denetim sistemi için C programlama dilinde 16 bit mikro işlemci kullanarak bulanık mantık tekniği ile gerçek zaman basitleştirilmiş hız denetim yaklaşımı önermiştir. Bulanık denetleyici, DA motorunun hız denetimini yaparken dışarıdan uygulanan yükün hız üzerine etkisini azaltmaktadır. Güç elektroniği alanında bulanık mantığın kullanımı ve kararlılığı tartışılmaktadır.

Luk (2000), DA motoru servo sistemi için giriş şartlarına göre dilsel bilgi tabanını kullanarak optimal çıkış üreten, parametre değişimlerine dayanıklı bulanık mantık denetim sistemi önermiştir. Önerilen denetim sistemi benzeşim çalışmaları ile kanıtlanmıştır.

Nomura (2001), BMD' nin kendi kendini ayarlaması için yaygın olarak bilinen gradient desen tekniğini kullanmıştır. Veri katarı halinde verilen, arzu edilen çıkış değeri ile BMD' nin çıkışı arasındaki fark olan hatanın karesini, minimum yapıncaya kadar denetleyici artımlı olarak ayarlanmıştır. Bu metotla üçgen formundaki giriş üyelik işlevlerini merkezleri ve genişlikleri her iterasyonda değiştirilmektedir. Bu sürekli olmayan (off-line) ayarlama metodu, zamanla değişmeyen denetleme sistemleri için mükemmel olabilir fakat gerçek verilerle uygulanabilirlikleri sınırlıdır.

So (2001), DA çevirici için bulanık mantık denetleyici tasarımı yapmıştır. Yük ayan ve hat ayan bakımından basit bir DA çevirici kapalı çevirim performansı, bilgisayar benzeşimi ve deneysel ölçüm değerleri olarak verilmektedir.

Guillem (2001), özellikle ev aletlerinde oldukça sık kullanılan üniversal motor hız denetimini, bir standart mikro işlemci üzerinde bulanık mantık teorisini kullanarak gerçekleştirmiştir. Hız ayar çeviriminde kesin matematiksel model bilgisine gerek duymadan bulanık mantık teorisi ile hız denetimini gerçekleştirmiştir.

Yamashita (2002), bir katalitik peteğin sıcaklık denetimini ele almıştır. Katalitiğe giren hidrojen gazının akış hızındaki değişimlere göre sıcaklık denetlenmiştir. Katalitiğe giriş yapan hidrojen gazının akış hızının artması ile sıcaklık başlangıçtaki değerine göre artmakta, gaz akış hızının azalması ile de sıcaklık başlangıçtaki değerine göre düşmektedir. Sıcaklıkta oluşabilecek aşma ve osilasyonları önlemek için her periyotta denetleyicinin kazancı ayarlanmıştır.

Yamashita (2002), istenilen sıcaklık değeri ile ölçülen sıcaklık değeri arasındaki fark olan hatayı ve hatanın değişimini giriş olarak, hidrojen gazı akış hızını çıkış olarak kullanan Mamdani tipinde bir bulanık mantık denetleyici tasarımı yapmıştır. Yamashita çıkış ölçekleme faktörünü değiştirmekle denetleyicinin çıkış kazancını değiştireceğini düşünerek denetleyicinin herhangi bir kriterdeki performans değeri (P_k) ile ölçekleme faktörü değiştiricisi (C_k) arasında aşağıdaki kural tabanı ile tanımlanan bir ilişki kurmuştur.

Eğer $P_k =$ Çok Büyük	o halde	$C_k =$ Çok Küçük
Eğer $P_k =$ Büyük	o halde	$C_k =$ Küçük
Eğer $P_k =$ Orta	o halde	$C_k =$ Orta
Eğer $P_k =$ Küçük	o halde	$C_k =$ Büyük

Bundan sonra hata için ölçekleme faktörü (GE), hatanın değişimi için ölçekleme faktörü ($G\Delta E$)'yi aşağıdaki gibi tanımlamıştır.

$$GE_k = C_k \cdot GE_0 \quad G\Delta E_k = C_k \cdot G\Delta E_0 \quad (1.1)$$

GE_0 ve $G\Delta E_0$ ölçekleme faktörlerinin başlangıçtaki sabit değerleridir. Sonuçta yapılan bu basit adaptif tasarım ile denetleyicinin üstünlüğü artırılmıştır.

1.2 Tezin Amacı

Tezin ana hedeflerinin başında, evirici anahtarlama işaretlerinin üretilmesini sağlayacak düşük maliyetli sistemin tasarlanması gelmektedir. Bu amaçla kullanılan yüksek maliyetli kartların işlevlerini yerine getirebilecek, değişik ortamlarda sorunsuz çalışabilecek bir sistemin gerçekleştirilmesi oldukça önemlidir.

Eviricinin çıkışında harmonik bileşenlerin belirli bir sınırnın üstünde olması tüketici açısından sorunlar oluşturur. Tüketici bir AA motor olduğu düşünülürse, üretilen momentte harmoniklerden dolayı titreşimler oluşur, veya evirici haberleşme alanında kullanılacak olursa, ses ve bilgi iletiminde yüksek seviyeli istenmeyen gürültüler oluşur. Bu yüzden harmoniklerin belirli bir düzeyin altında tutulması gerekir. Bunu sağlayabilmek için harmoniklerin süzülmesi veya düşük harmonik içerecek bir dalga biçimi oluşturulması yollarından birinin seçilmesi gerekir. Harmoniklerin süzülmesi ancak sabit frekans çıkışlı eviricilerde baş vurulabilecek bir yoldur. Sabit frekans uygulamalarında harmoniklerin süzülmesi için kullanılacak devre, eviricinin fiziksel boyutlarını büyüttüğü gibi maliyetini de çok yükseltir. Bu sorunlar eviricide darbe genişlik ayarı (DGA) kullanılarak çözülebilir. DGA yöntemi günümüzde, kesintisiz güç kaynakları (KGK=UPS), ayarlanabilen A.A motor sürücüler, eviriciler, endüksiyon ısıtma uygulamalarında yaygın olarak kullanılmaktadır [64], [65]. DGA yönteminde evirici çıkış gerilimi frekans ile birlikte değiştirilebilir.

DGA işaretlerinin BMD kullanılarak üretilmesi oldukça yeni bir konudur. Bu konuda yapılan çalışmalara bakıldığında [66],[68],[69],[70],[71],[72],[73],[74] klasik DGA yöntemlerine göre BMD' in düşük harmonik bileşenler ürettiği ve denetiminde de hızlı işlem kapasitesine sahip DSP kartlarının kullanıldığı görülmektedir. Bulanık mantıkla denetim yönteminin, modern işlemcilerle gerçekleştirilmesi ile, eviricilerde BMD yöntemli DGA 'ların klasik DGA ve histeresiz yöntemlerinin yerine yaygın olarak kullanılacağı açıktır.

Bu anlamda bu tezde,

İkinci bölümde, genel anlamda bir fazlı eviricilerin tipleri, çalışma yöntemleri, harmonik bileşenleri yok etme yolları ve değişik anahtarlama yapıları anlatılmaktadır. Günümüzde DGA işaretlerinin üretilmesinde yüksek fiyatlı DSP kartlar, mikro işlemciler ve mikrodenetleyiciler kullanılmaktadır. Bunların yüksek maliyetli olması, çevre koşullarından kolaylıkla etkilenmeleri uygulama alanlarını kısıtlamaktadır. Bu sakıncalardan dolayı, bu tezde önerilen ve gerçekleştirilen düşük maliyetli ve dayanıklı mikrodenetleyici tabanlı sistemle, değişik yöntemler (DGA, kare dalga) uygulanmış ve evirici anahtarlama işaretleri yüksek frekanslara kadar üretilmiştir. Pratik çalışmalara ait yük akımı, yük gerilimi ve harmonik çıkışlar verilmektedir.

Üçüncü bölümde, tezin ana hedeflerinden olan evirici sürücü biriminin düşük maliyetle gerçekleştirilmesi için geliştirilen sistemin çalışmasına ait deneysel sonuçlar verilmektedir.

Dördüncü bölümde, tezin ana konularından birisi olan, bulanık kümeler, bulanık çıkartım, durulaştırma, bulanık denetim sistemleri anlatılmaktadır.

Beşinci bölümde, histeresiz ve DGA tipli bir fazlı eviricilerin PID ve BMD' lere ilişkin benzeşim sonuçları verilmektedir.

Günümüzde kullanılan eviricilerin denetlenmesinde genelde yüksek maliyetli sürücü birimlerinin kullanılması nedeni ile evirici maliyetleri de aynı oranda artmıştır. Bu nedenle bu tezde gerçekleştirilen evirici sürücü biriminin, düşük maliyetle aynı performansı verecek şekilde yapılabileceğini göstermek için PIC mikrodenetleyici tabanlı bir sistem geliştirilmiştir. Geliştirilen bu sistemle değişik anahtarlama yapılarına göre bir fazlı eviriciye ait yük akımı, yük gerilimi ve harmonik çıkışlar verilmektedir. Elde edilen pratik çalışma sonuçlarının teorik sonuçlarla aynı olduğu yapılan deney sonuçlarından anlaşılmıştır.

BÖLÜM 2. EVİRİCİLERİN TEMEL YAPILARI

2.1 Giriş

Eviriciler DA(Doğru Akım) gücü istenilen bir gerilim ve frekansta AA(Alternatif Akım) güce dönüştüren güç elektroniği devreleridir. AA çıkışı anahtarlama işlemleriyle elde edilir, elde edilen dalga şekli gerilim parçacıklarından oluşur. Bu parçacıkların değeri pozitif, negatif veya sıfır olabilir fakat genel olarak sadece bir adet sıfır olmayan genlik vardır. Eviricilerde dalga biçimlendirmede temel ilke, tranzistör ve tristör gibi yarı iletken elemanlarının iletim ve kesim sürelerinin uygun bir biçimde belirlenmesidir. Bu belirleme ile birlikte elemanların anahtarlama sırası da çok önemlidir.

Eviriciler uygulamadaki besleme özelliklerine göre “akım beslemeli” ve “gerilim beslemeli” olarak iki grupta toplanırlar. Evirici; eğer giriş gerilimi sabitse gerilim beslemeli, giriş akımı sabitse akım beslemeli olarak sınıflandırılır. Akım beslemeli veya gerilim beslemeli eviriciler arasında yapılacak seçim yükün özelliklerine göre değişir. Gerilim beslemeli eviricilerde gerilim dalga biçimi DA gerilimi ve anahtarlama yöntemi ile belirlenir. Yük bu dalga biçimine etki edemez. Eğer yük harmonik akımlara yüksek empedans gösteren bir özellik taşıyorsa, bu tip yükün gerilim beslemeli bir eviriciyle sürülmesi daha uygundur. Akım beslemeli eviricilerde ise akım dalga biçimine yük etki edemez. Eğer yükün harmonik akımlara düşük empedans gösteren özelliği varsa, bu durumda akım beslemeli evirici kullanmak daha uygun olacaktır [1].

Bir eviricinin görevi, DA giriş gerilimini, istenen genlik ve frekansta simetrik AA çıkış gerilimine dönüştürmektir. Çıkış gerilimi sabit, değişken ya da değişken frekanslı olabilir. Değişken çıkış gerilimi, evirici kazancının sabitlenmesi ve DA giriş geriliminin değiştirilmesiyle elde edilir. Eğer DA giriş gerilimi sabitse ve denetimli değilse,

değişken çıkış gerilimi, normalde evirici içerisinde DGA denetimle uygulanabilen evirici kazancının değiştirilmesiyle elde edilir. İdeal eviricilerin çıkış gerilimi sinüsoidal olmalıdır. Bununla birlikte uygulamada eviricilerin dalga şekilleri sinüsoidal değildir ve belirli harmonikler içerir. Düşük ve orta güçlü uygulamalar için kare dalga gerilimler kabul edilebilir; yüksek güçlü uygulamalar için düşük bozunumla sinüsoidal dalga şekilleri gereklidir. Yüksek hızlı güç yarı iletkenlerinin bulunmasıyla, çıkış geriliminin harmonik içeriği, çeşitli anahtarlama teknikleriyle en aza indirilebilir [2].

Eviriciler endüstriyel uygulamalarda (örneğin değişken hızlı AA motor sürücüleri, endüksiyon ısıtma, kesintisiz güç kaynakları, aktif filtreler) yaygın olarak kullanılırlar. Giriş gerilimi batarya, yakıt hücresi, güneş pili, enerji depolama elemanları (bobin, kondansatör) ya da diğer DA kaynaklar olabilir. Eviriciler, tek-fazlı ve üç-fazlı olmak üzere iki tip olarak sınıflandırılır. Her iki tür de anahtarlama elemanlarıyla (BJT, MOSFET, SCR, IGBT, MCT, GTO vb.) denetim edilir.

Eviricilerin uygulama alanları çok değişik olup; başlıcalar' ı aşağıda belirtilmiştir.

- 1-Değişken hızlı asenkron motor sürücü sistemleri
- 2-Kesintisiz güç kaynakları
- 3-Yedek güç kaynakları
- 4-Uçaklarda güç kaynakları
- 5-Yüksek doğru gerilimle enerji iletimi (YDGEİ=HVDC) sistemlerinde çıkış katı
- 6-Endüksiyon ısıtma
- 7-Telekom santralleri

birer örnek sayılabilir.

Uygulamaların çoğunda çıkış gerilimi ve çıkış frekansını beraber denetlemek gerekir. Örneğin asenkron motorlarda hız denetimi için frekans düşürülecek olursa manyetik akının sabit kalabilmesi için, geriliminde düşürülmesi gerekir.

2.2 Tek-Fazlı Eviriciler

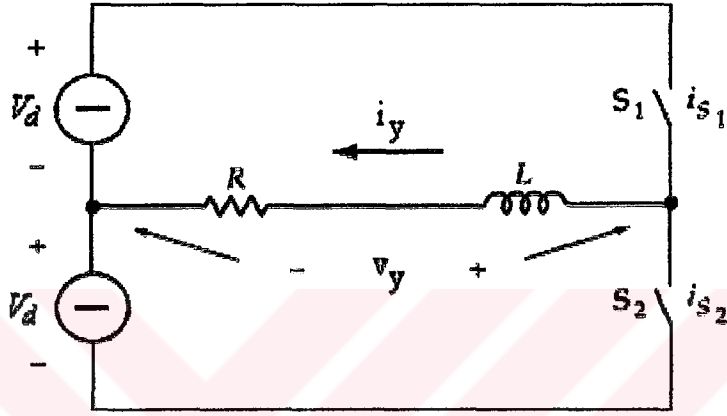
2.2.1 Yarım köprü evirici

Şekil 2.1 deki devre direnç ve endüktanstan oluşan bir yüke kare dalgalı AA gerilim sağlamak için kullanılabilir. DA kaynağı eşit iki parçadan oluşur. Parçalı kaynak olarak adlandırılır ve Şekil 2.1 de görüldüğü gibi düzenlenebilir. Devre aynı zamanda yarım köprü olarak bilinir çünkü iki anahtar kullanılır. Anahtar olarak tranzistör ve ona ters paralel bağlı diyot kullanılabilir. Şekil 2.1 deki ideal anahtarlar alternatif olarak açılır ve kapanırlar. Periyodun her %50'si için bir anahtar kapalı iken diğeri açıktır. Anahtarlar IGBT, BJT, SCR veya MOSFET olabilir [4].

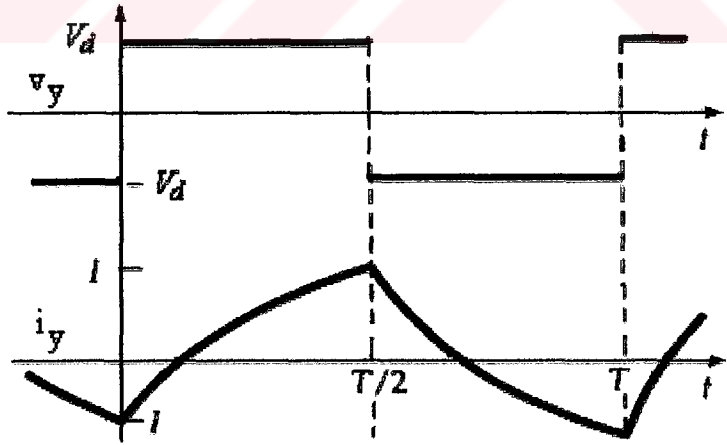
Şekil 2.1'deki S_1 anahtarının kapalı olduğu aralıkta, S_2 açılır, yukarıdaki döngünün devre eşitliği Kirşof'un gerilim kanununa göre, V_d olur. Belli bir zaman sonra, S_1 açılır ve S_2 kapanır. Şekil 2.1'deki döngü için Kirşof'un gerilim kanununa göre devre eşitliği $v_Y = -V_d$ olur. Sonuç, Şekil 2.2 de görüldüğü gibi v_Y için kare dalgalı alternatif akım biçimidir. Şekilde aynı zamanda akımda görülmektedir.

Şekil 2.2 de S_1 anahtarı açılmadan tam önceki $t = T/2$ zamanında, i_Y pozitiftir. S_1 anahtarının açılması ve S_2 'nin kapanması üzerine, v_Y 'nin işaretinin değişmesine rağmen, bobinde oluşan zıt emk'dan dolayı i_Y 'nin sürekli ve belli bir zaman için pozitif olması gerekir. Sinyalin belirli bir periyodunda, S_2 'nin akım yönünü değiştirmesiyle bobinde oluşan zıt emk'dan dolayı i_Y belirli bir süre için yönünü değiştirmez. Bu durumda anahtar elemanı olarak örneğin sadece bir BJT kullanılamaz. Buna ek olarak ters yöndeki akımı iletebilecek paralel bir diyot kullanılması gerekir. Devre işlemini daha işler hale getirmek için, Şekil 2.1 de S_1 ve S_2 anahtarları yerine BJT'ler kullanılarak, Şekil 2.3 de yeniden çizilmiştir [11]. S_1 'in kapalılığının sonunda, her hangi bir t anı göz önüne alınsın. T_{r1} tranzistörünün ideal bir davranış olarak sıfır zamanda kesime gittiği varsayılınsın.

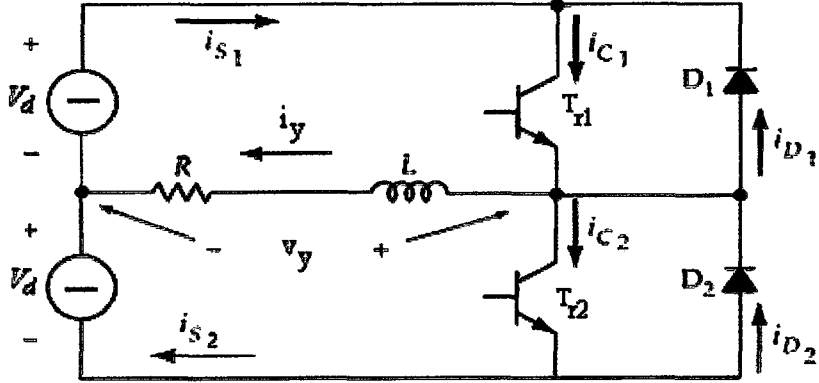
T_{r2} tranzistör' ü beyz akımının sağlanması ile ilettime geçirilir. Bobinde oluşan zıt emk' dan dolayı geçici bir süre I_y pozitif olduğundan, T_{r2} tranzistör' ü yük akımını iletmez. i_y için mevcut olabilen tek yol D_2 diyotu iledir. Aynı anda i_y , T_{r1} den D_2 'ye anahtarlanır böylece yük gerilimi polaritesini değiştirir. T_{r2} ' nin ilettime geçtiği anda bobin üzerinde oluşan zıt emk serbest geçiş diyotu üzerinden boşalacağından yük akımı bozulmaz [3].



Şekil 2.1. Yarı köprü evirici devresi.



Şekil 2.2. Yarı köprü eviricinin yük üzerindeki gerilim ve akımın değişimi.



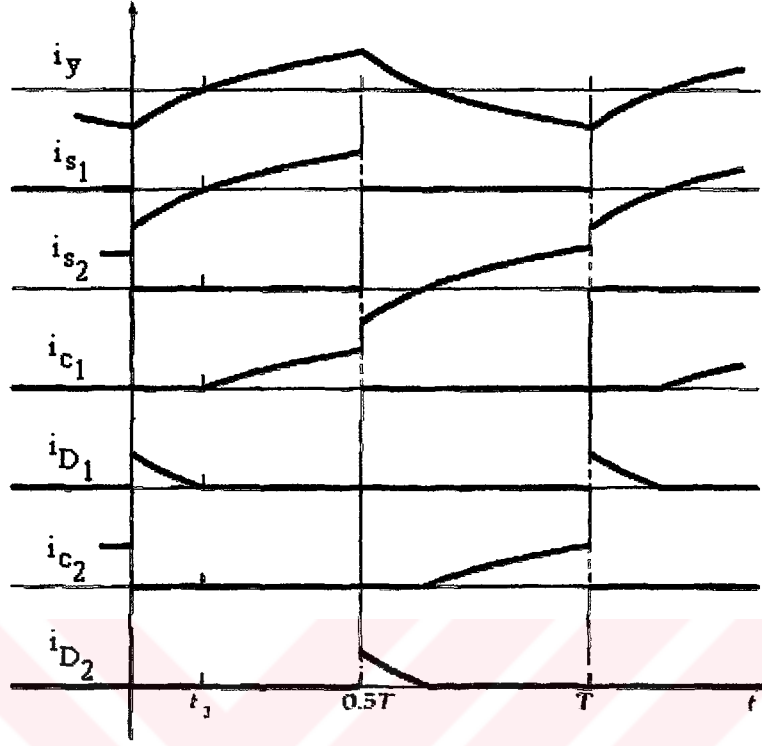
Şekil 2.3. Anahtar olarak BJT kullanılmış yarım köprü evirici devresi.

Yük akımının azaldığı bir aralıktan sonra, yük akımı sıfıra gider ve negatif olur. Bu zaman noktasında, T_2 nin gerçekten iletme geçmesi gerekir. Şekil 2.4 akım-zaman grafiklerini göstermektedir. Dikkat edilmesi gereken önemli bir nokta, tranzistör' ün kesime gitmesinin iletme gitmesinden ekseriyetle daha yavaş olmasıdır. Bundan dolayı, tranzistör' ün iletimi, diğer tranzistör kesim işlemini tamamlayıncaya kadar geciktirilir. Bu pratikte bir probleme neden olmaz, çünkü iletme geçecek tranzistör, gerçekte endüktif yükten dolayı belli bir periyot süresinde iletme geçmez. Yük akımının davranışı eşitlik 2.1 kullanılarak bulunabilir. Şekil 2.1 deki devrede, S_1 anahtarı kapalı iken, 2.1 eşitliği oluşur [10], [81].

$$V_d = v_Y = Ri_Y + L \frac{di_Y}{dt} \quad (2.1)$$

S_2 anahtarı kapalı iken, 2.2 eşitliği uygulanır:

$$-V_d = v_Y = Ri_Y + L \frac{di_Y}{dt} \quad (2.2)$$



Şekil 2. 4. Anahtar olarak BJT kullanılmış yarım köprü evirici akım dalga şekilleri.

Eşitlik 2.1 çözümü için sınır şartları, $t=T/2$ anındaki akım $t=0$ anındaki akıma işaret değişimi dışında benzer. 2.1 eşitliği çözülerek 2.3 eşitliği bulunur.

$$i_Y = \left(\frac{V_d}{R} \right) (1 - e^{-t/\tau}) - A \quad (2.3)$$

burada,

$$A = I e^{-t/\tau} \quad (2.4)$$

I bobin akımının başlangıç koşulunu göstermektedir.

$$\tau = \frac{L}{R} \quad (2.5)$$

Şekil 2. 4 de, bazı akımların başlangıcı ve sonu i_Y sıfır iken oluşur. Bu zaman, 2.6 eşitliğinde gösterildiği gibi, 2.3 eşitliğinde i_Y sıfıra eşitlenerek ve 2.4 eşitliği kullanılarak bulunabilir.

$$t_1 = \tau \ln\left(\frac{2}{1 + e^{-T/2\tau}}\right) \quad (2.6)$$

Şekil 2.4 deki grafikten, anahtarın iki kısmındaki ortalama akım hesaplanabilir. Transistör akımı t_1 ve $t=T/2$ arasında oluşur ve periyodun diğer kısmında sıfırdır. Diyot akımı (I_D) $t=0$ ve t_1 arasında oluşur ve periyodun kalan kısmında sıfırdır. Ortalama akımlar 2.7 ve 2.8 eşitlikleri ile verilir.

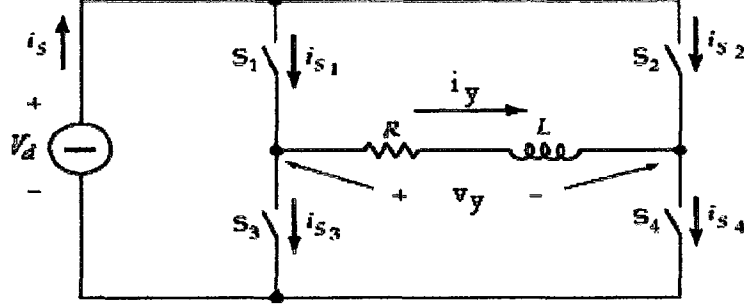
$$I_Y = \left(\frac{1}{T}\right) \int_{t_1}^{T/2} i_Y dt \quad (2.7)$$

$$I_D = \left(\frac{1}{T}\right) \int_0^{t_1} -i_Y dt \quad (2.8)$$

2.2.2 Köprü evirici

Kısım 2.2.1' de temel evirici kavramları anlatılmıştır. Eşit genlikteki iki kaynağa gerek duyulması, çoğu durumlarda bu çözümü istenilmez hale getirir. Bunun yerine, köprü evirici kullanılabilir. Şekil 2.5 'deki devre, bir DA kaynağı ve dört adet anahtar kullanan bir eviricidir. Bundan önce anahtarlama için bahsedilen bütün şartlar geçerlidir. DA kaynağı periyot boyunca yükü besler, oysaki yarım köprü tipte, iki DA kaynağının her biri, yarım periyotta yükü sırasıyla besliyordu [67]. Evirici işlemi süresince, S_1 ve S_4 anahtarları aynı zamanda kapanır ve i_Y akımına bir yol ile beraber V_Y 'nin pozitif değerini sağlar.

Bir yarım dalganın sonunda, anahtarlar açılır ve S_2 ve S_3 kapanır. Burada yine, indüktif yükün bir sonucu olarak, anahtarların çift yönlü akımları geçirebilmeleri gerekir.



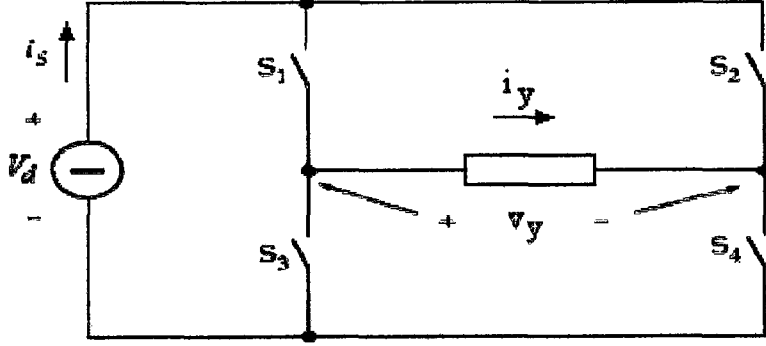
Şekil 2.5. Köprü evirici devresi.

Yük üzerinde oluşan zıt emk' dan dolayı Şekil 2.5 deki gerilim kaynağındaki i_s akımının negatif olduğu aralıklar vardır. Bu aralıklarda enerji yükten kaynağa geri döner. Kaynağın bu enerjiyi kabul edebilecek özellikte olması gerekir. Şayet kaynak bir doğrultucu ise, çıkış terminallerinde bu enerjiyi kapasitör üzerinde depolamayı kabul edebilecek özellikte bir kapasitör olmalıdır. Köprü düzenleme, S_1 ve S_4 'ün V_d 'nin negatif kısmı ile ortak terminallerinin olmamasını gerektirir. S_2 ve S_3 'ü iletime geçirecek devrelerin, S_1 ve S_4 'ü iletime geçirecek devrelerden yalıtılması gerekir çünkü ortak terminalleri yoktur [9], [81].

Şayet, Şekil 2.5 'deki dört anahtar NPN tipi BJT 'ler ise dört emiter terminalleri ortak değildir ve beyz sürücü devrelerinin hepsi de aynı referansa sahip olmayabilir. Problem, S_1 ve S_2 yi iletime geçirecek sinyallerin yalıtımı ile iki şekilde çözülebilir.

1. Darbe transformatörü ile,
2. Foto-tranzistörlü yalıtıcı (optik izolatör) kullanarak.

Genellikle tek-fazlı tam-köprü eviriciler "H-köprü" eviriciler olarak bilinir. Tek-fazlı evirici de giriş gerilimi denetleniyorsa "değişken DA hatlı eviriciler" olarak da adlandırılabilir.

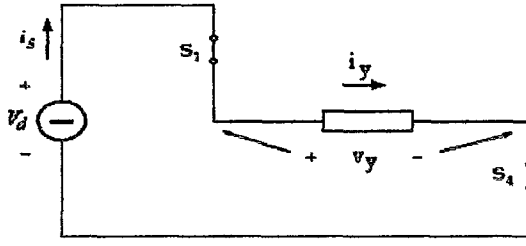


Şekil. 2.6. Basitleştirilmiş tam-köprü evirici devresi.

Şekil 2.6'da gösterilen devre, Şekil 2.5 de gösterilen köprü eviricinin basitleştirilmiş halidir. Şekil 2.7.'deki evirici çalışma konumlarının belirlenmesi için bu yol izlenmiştir. Bir elektrik devresinin kolay çözümlenebilmesi için devrenin en sade halinin alınması daha yararlıdır. Sistemin çalışması girişteki DA kaynağının, yükün uçlarına, eşit süreyle bir düz bir de ters kutuplu bağlanması prensibine dayalıdır. S_1 ve S_4 ya da S_2 ve S_3 aynı anda devreye girerse kaynak kısa devre olur. Bu duruma "shoot-through" hatası denir ve kesinlikle istenmeyen bir durumdur. Bu nedenle anahtarların açılıp kapanması iyi denetlenmelidir.

Şekil 2.6'da görülen tek fazlı evirici yapısı, DGA, histeresiz ya da Şekil 2.7'de gösterilen anahtar çiftlerinin sırası ile iletme ve kesime sokulması yöntemleriyle çalıştırılabilir.

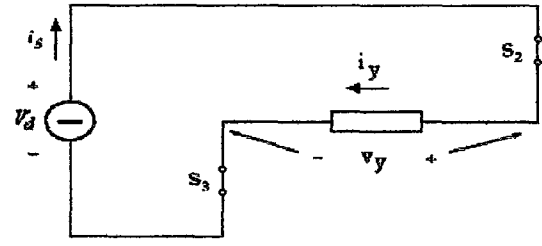
Sistemin, anahtar çiftlerinin sırası ile iletme ve kesime sokulması yöntemi ile gerilim dalga şekilleri sırası ile Şekil 2.8 ve Şekil 2.9'da verilmiştir. Şekil 2.8'de gerilim daha fazla harmonik içerirken Şekil 2.9'da gerilim dalga şekli sinüsoidale daha yakındır ve daha az harmonik içerir. Bu anahtarlama yöntemlerinin yanı sıra, sistem, DGA, histeresiz vb. denetim metotlarıyla daha etkin bir şekilde harmoniklerden arındırılabilir [8]. Bu yöntemlere bölüm 5' de değinilmiştir.



a). Durum I, S_1 - S_4 : İletimde,

S_2 - S_3 : Kesimde

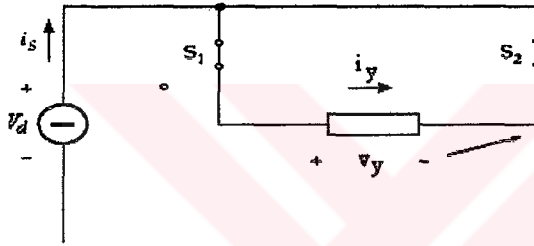
$$V_y = +V_d, i_s = i_y$$



b). Durum II, S_1 - S_4 : Kesimde,

S_2 - S_3 : İletimde

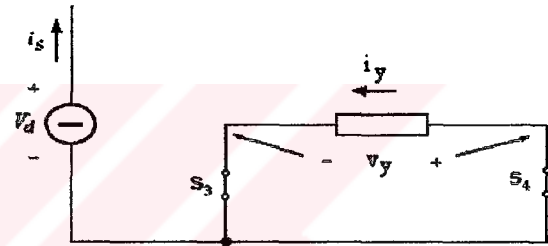
$$v_y = -V_d, i_s = -i_y$$



c). Durum III, S_1 - S_2 : İletimde,

S_3 - S_4 : Kesimde

$$v_y = 0, i_s = 0$$

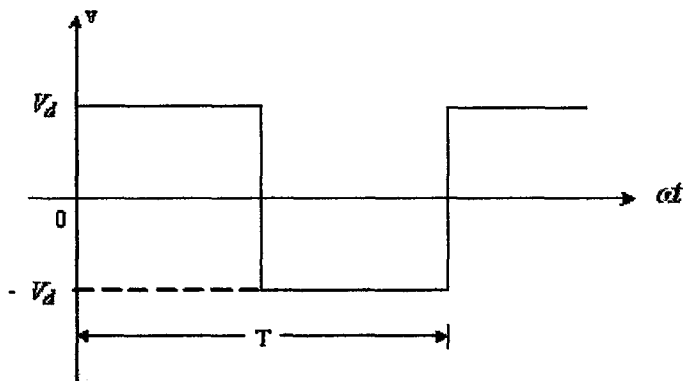


d). Durum IV, S_1 - S_2 : Kesimde,

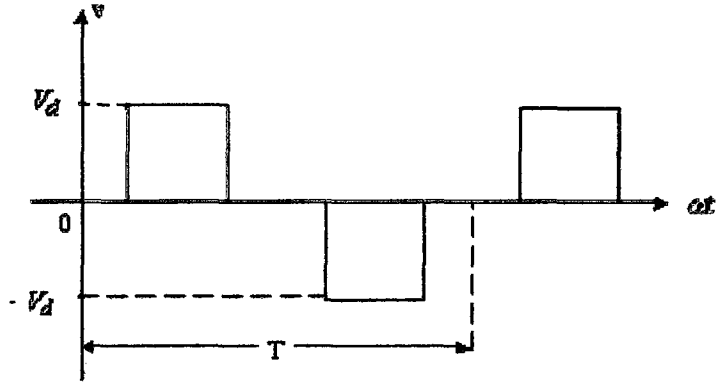
S_3 - S_4 : İletimde

$$v_y = 0, i_s = 0$$

Şekil 2.7. Eviricinin çalışma durumları.



Şekil 2.8. Evirici Durum I-II' de çalıştırıldığında çıkış gerilim dalga şekli.



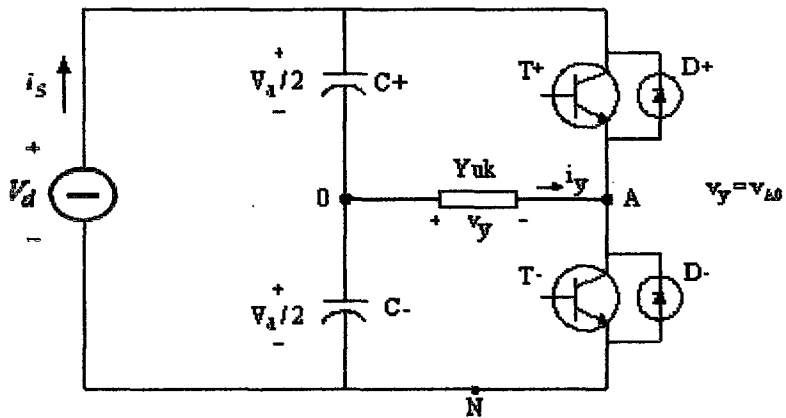
Şekil 2.9. Evirici Durumları I-II-III-IV' de çalıştırıldığında çıkış gerilim dalga şekli.

2.3 Tek-Fazlı Evirici Topolojileri

Bu kısımda tam-köprü topolojinin yanı sıra yarım-köprü evirici topolojileri de tartışılmıştır. Ayrıca çalışma prensipleriyle ilgili önemli noktalar da açıklanmıştır.

2.3.1 Tek-fazlı yarım-köprü evirici

Tek-fazlı bölünmüş kondansatörlü yarım-köprü eviricinin temel yapısı Şekil 2.10'da gösterilmiştir.



Şekil 2.10. Bölünmüş kondansatörlü tek-fazlı yarım-köprü eviricinin temel devresi.

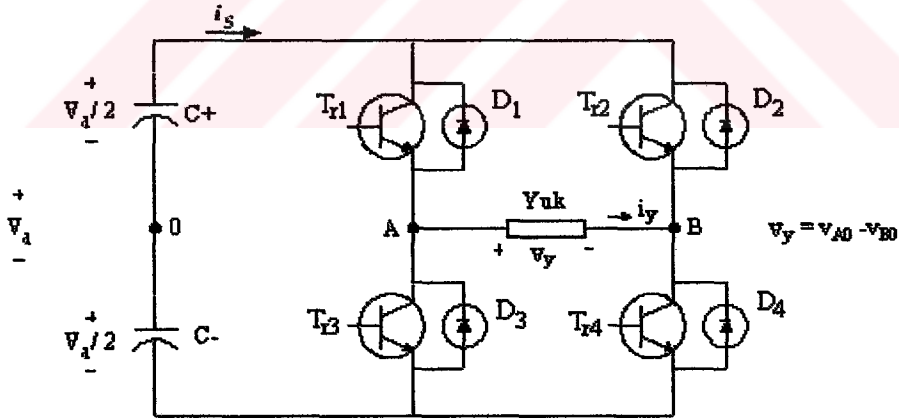
Şekil 2.10'da açıkça görülmektedir ki eşit değerde C+ ve C- kondansatörleri DA giriş uçlarına seri bağlanmıştır ve her iki kondansatör üzerindeki gerilim düşümü $V_d/2$ 'dir. Nötral bara "N" ile sıfır noktası "0" arasındaki potansiyelin sabit kalması için bölünmüş kondansatörler çalışma gerilimine dayanabilecek büyüklükte seçilmelidir [9]. Bu devrenin çalışması kısım 2.2.1 de anlatılan parçalı kaynaklı (Şekil 2.1) eviriciye benzemektedir. Çıkış akımının yönüne bağlı olarak, T+ ya da T- "İLETİME" girer.

$$V_T = V_d \quad (2.9)$$

$$i_T = i_{Y_{tepe}} \quad (2.10)$$

2.3.2 Tek-fazlı tam-köprü evirici

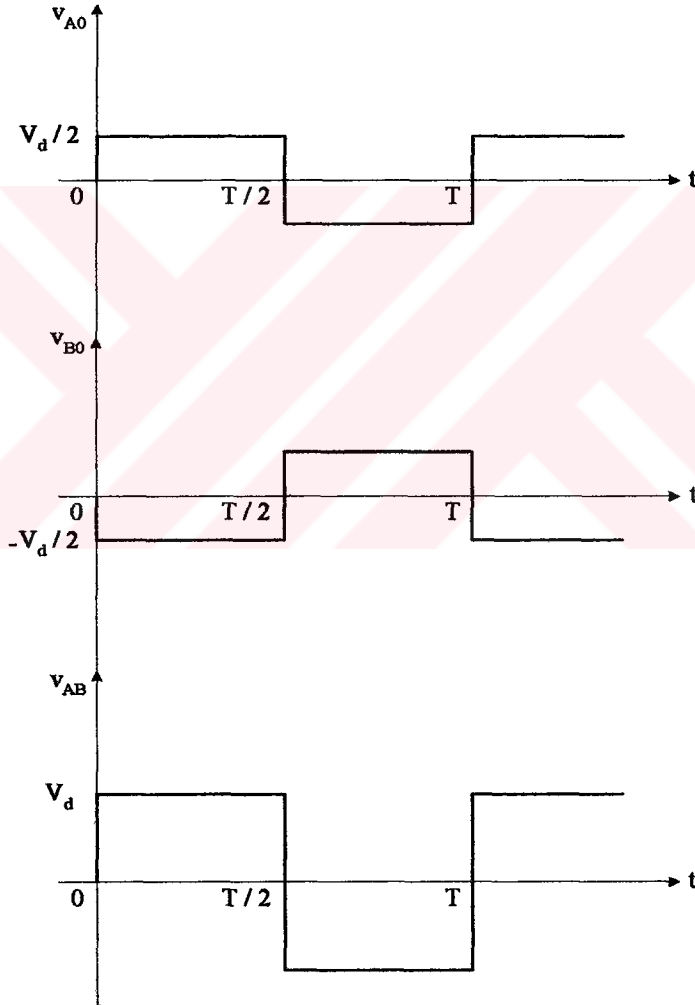
Şekil 2.11'de tek-fazlı, tam-köprü evirici devresi gösterilmiştir. Tam-köprü eviriciler, önceki kısımda tartışılan parçalı kaynaklı yarım-köprü eviricilerin benzer biçimde iki-ayaklı evirici haline getirilmesiyle gerçekleştirilir [24].



Şekil 2.11. Tek-fazlı tam-köprü evirici devresi.

Güç ihtiyacının yüksek olduğu yerlerde eviricilerin genellikle tam-köprü olması istenir. Bu topolojinin maksimum çıkış gücü; aynı DA giriş gerilim değeri için, yarım-köprü eviricinin iki katı kadardır [9]. Bu özellik tam-köprü eviricilerin en önemli avantajıdır.

Şekil 2.11’de gösterilen eviricide, T_{r1} , T_{r3} , T_{r2} ve T_{r4} olarak adlandırılan 4 adet yüksek frekans anahtarı ve bu anahtarlara paralel bağlanmış D_1 , D_3 , D_2 ve D_4 olarak adlandırılan 4 adet diyot kullanılmıştır. Serbest geçiş diyotları iletim periyotları boyunca enerjiyi, DA kaynağa geri döndürür. T_{r1} ve T_{r4} anahtarları "İLETİM" konumuna alındığında, V_d giriş gerilimi yük uçlarındadır. Diğer çalışma durumunda T_{r3} ve T_{r2} "İLETİM" konumundayken yük üzerine düşen giriş gerilimi ters yönlü olur ve $-V_d$ değerini alır. Şekil 2.12’de tam-köprü eviricinin tipik gerilim dalga şekilleri gösterilmiştir [25].



Şekil 2.12. Tam-köprü evirici için çıkış faz ve hat gerilim dalga şekilleri.

2.4 Evirici Anahtarlama Yöntemleri

Evirici denetim mantığı oldukça basittir ve temel frekans salınımı başına düşen sınırlı anahtarlama sayısı nedeniyle anahtarlama kayıpları düşüktür. Bir önemli sorun SCR gibi zorlamalı söndürüm gerektiren anahtarlarda düşük DA genliklerde hat geriliminin denetlenmesinde SCR' yi söndürüme sokmak zordur. Tabi ki bu problem söndürüm için yerleştirilen yardımcı devrelerle çözülebilir. Söndürüm devresi ve ortak problemler tranzistör , GTO (Gate-Turn-Off tristör) ve IGBT gibi kendinden söndürümlü eviriciler için geçerli değildir ve bu yüzden fiyat, ağırlık, verim ve gerilim denetim aralığı gibi unsurlar geliştirilmiştir. Hız denetimi 10:1 oranının ötesinde anahtarlama işaretlerinin sırası ile uygulandığı (Şekil 2.7) deki yöntemlerde sorun olmaktadır. Çünkü düşük gerilim harmonik akımları aşırı olur. Bunun sonucunda yükün aşırı akım çekmesine ve makinelerde momentte titreşimlere neden olur [34], [41], [42], [43]. Yukarıda bahsedilen problemler, bu bölümde incelenecek olan darbe genişlik ayarı (DGA = PWM: Pulse Width Modulation) kullanılarak çözülebilir. DGA eviricisi, diyotlu köprü doğrultucu ve LC filtresi kullanılarak beslenir. Temel frekans çıkış gerilimi elektronik olarak DGA kullanılan evirici ile denetlenir. Bu bölümde aşağıda belirtilen DGA türleri incelenecektir.

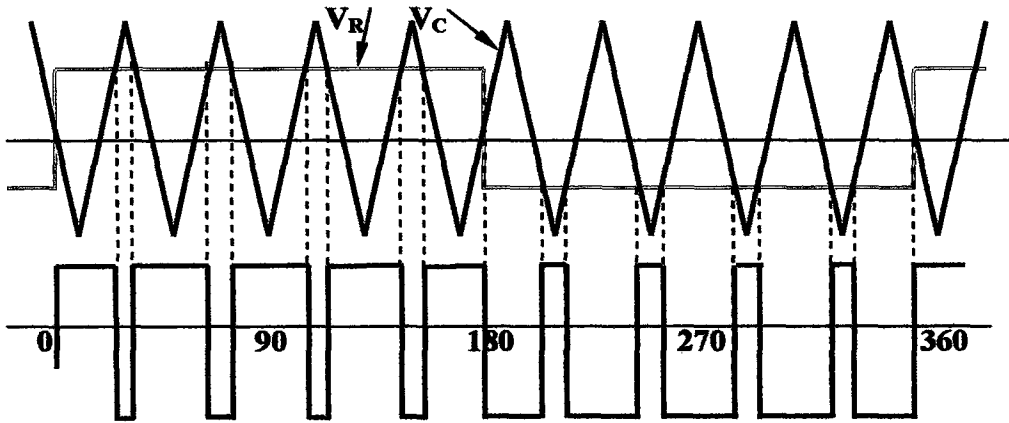
- Kare dalga DGA
- Sinüsoidal DGA
- Histeresiz DGA

Pek çok uygulamada eviricilerin çıkış geriliminin denetimi gereklidir. Bu amaçla pek çok anahtarlama tekniği geliştirilmiştir. Eviricinin çıkış gerilimi, temel olarak DA giriş gerilimindeki değişimleri denetim altına alabilmek, eviricinin gerilim regülasyonunu sağlamak ve sabit gerilim/frekans elde edebilmek amacıyla denetlenmektedir. Bu amaçla geliştirilmiş en yaygın teknik, darbe genişlik ayarı (DGA) denetim tekniğidir. DGA teknikleri arasında, farklı uygulamalar için evirici anahtarlama denetiminde daha kesin ve iyi sonuç veren farklı yöntemler mevcuttur [45], [49], [53], [64], [65].

2.4.1 Kare dalga DGA

Kare dalga DGA, istenen çıkış frekanslı kare dalga ile yüksek frekanslı simetrik üçgen dalgayı karşılaştıran bir denetim yöntemidir. Evirici yarım köprülerinin biri için denetim devresinin sinyali Şekil 2.13’de gösterilmiştir. Burada görüldüğü gibi yarı iletken elemanların tetikleme anları iki sinyalin kesişimleri ile belirlenir. Kare dalga referans gerilimi V_R , üçgen gerilim V_C ‘yi aşarsa, karşılaştırmacı çıkışı ‘lojik 1’ olur ve yarım köprüde üst devre iletim durumuna geçer. V_R referans sinyali, V_C ’ den daha küçük olduğunda ise karşılaştırmacı çıkışı ‘lojik0 ’ olur ve alt devre iletime geçer.

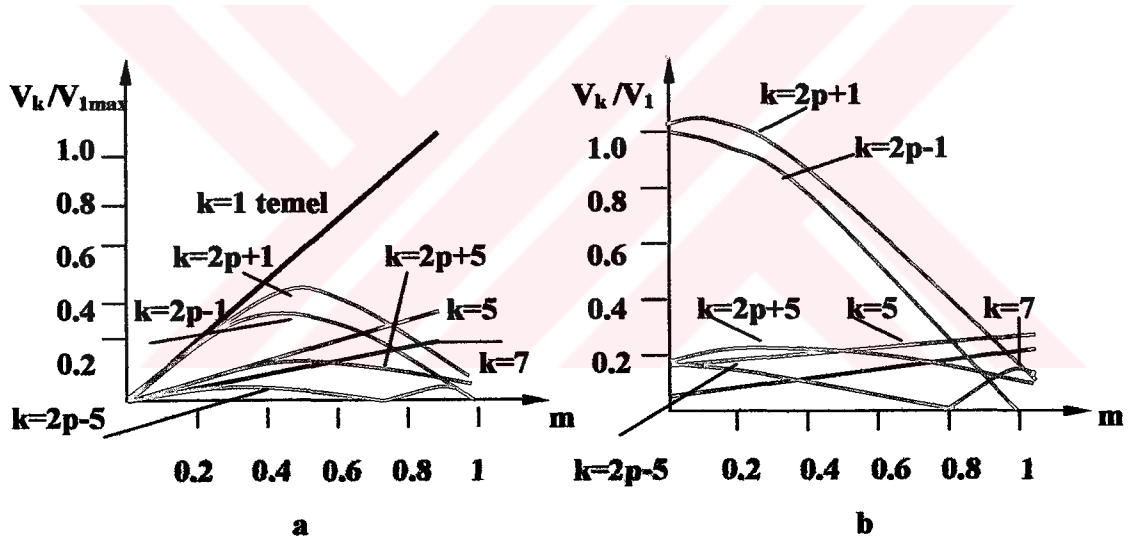
Karşılaştırmacı çıkış gerilimi Şekil 2.13 de gösterildiği gibi darbe genişlik ayarı dalga şeklindedir. Eğer yarı iletkenin anahtarlama süreleri ihmal edilebilirse aynı zamanda evirici kutup gerilim dalga şeklindedir. Frekansı kare dalga referans frekansına eşittir. Bir periyottaki darbelerin sayısı karşılaştırma oranı ‘p’ veya referans frekansa orantılı olarak belirlenir. Şekil 2.13’te $p = 9$ olarak gösterilmiştir. m ayar işareti (modülasyon endeksi) V_R referans dalga genliğinin V_C üçgen dalga genliğine oranı olarak tanımlanır. Şekil 2.13 $m = 0.6$ değeri için çizilmiştir ve bu dalgalar incelenirse m’ nin değerinin ayar kutup gerilimindeki darbe genişliklerini belirlediği görülür. Böylece eviricinin temel çıkış gerilimini denetlediği anlaşılır [12].



Şekil 2.13. Kare dalga DGA evirici için denetim devresi sinyalleri.

Üçgen sinyalin genliği sabittir ve referans dalğanın genliği ayar işaretini ve çıkış gerilimini denetler. m ' in sifıra yakın değerlerinde, şekildeki kutup gerilimleri simetrik ve ayarsız kare dalgalardır ve V hat gerilimi daima sifırdır. m ' nin küçük değerleri için , hat gerilim darbeleri çok dardır.

Çıkış geriliminde görülen anahtarlama harmonikleri karşılaştırma oranının iki katına en yakın harmonik derecesinin eklenmesiyle elde edilir. Buna göre çıkış gerilim harmonikleri $2p \pm 5$ mertebeli harmonikler ile $k=2p \pm 1$ mertebeli harmonikler arasında olacaktır. Örneğin $p=12$ ise, anahtarlama harmonikleri 19. ve 29. mertebeli harmonikler ile 23. ve 25. mertebeli harmonikler arasında olacaktır. Benzer tek harmonikler $4p, 6p, 8p...$ 'nin arasındaki harmonikler olarak da elde edilebilir [49].

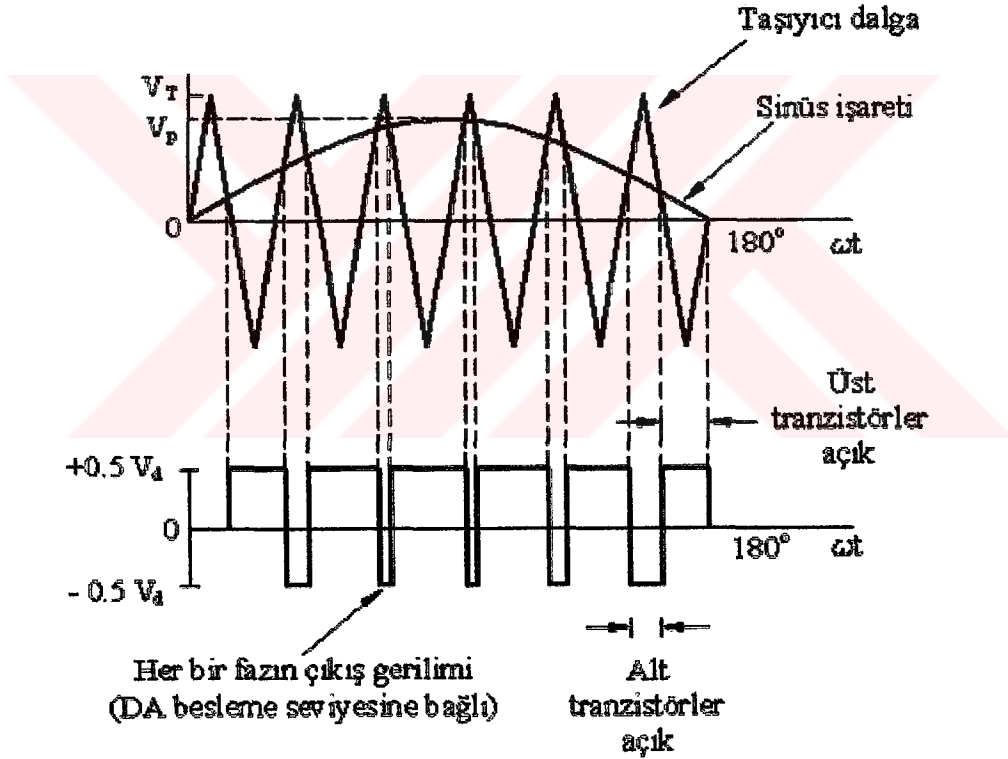


Şekil 2.14. (a) Maksimum temel genliğe bağlı harmonik genliği, (b) Gerçek temel genliğe bağlı harmonik genliği.

Düşük anahtarlama frekanslarında harmonik genlikleri yüksektir ve bu genlikler pratik olarak p ' den bağımsızdır. Temel gerilimin büyüklüğü ve ayar işareti arasında doğrusal ilişki olduğu da açıktır. [15].

2.4.2 Sinüsoidal DGA

Sinüsoidal DGA yöntemi endüstriyel uygulamalarda yaygındır ve literatürde geniş bir şekilde incelenmektedir. Bir ikizkenar taşıyıcı üçgen dalganın temel frekanslı sinüs dalga ile karşılaştırıldığı DGA yöntemi ve ara kesit noktaları ile belirlenen anahtarlama işaretleri Şekil 2.15’ de gösterilmektedir. Faz geriliminin dalga şekli ise Şekil 2.16’da gösterilmiştir. Yarım köprü evirici çıkışının alternatif darbesi ve boşluk genişliği sinüs sinyali ile ayarlanır ve dalga şekli frekansın temel bileşenini içerir [69]. Çıkış dalgasının Fourier analizi oldukça karmaşıktır fakat (2.11) eşitliğindeki gibi gösterilebilir [8],[65].

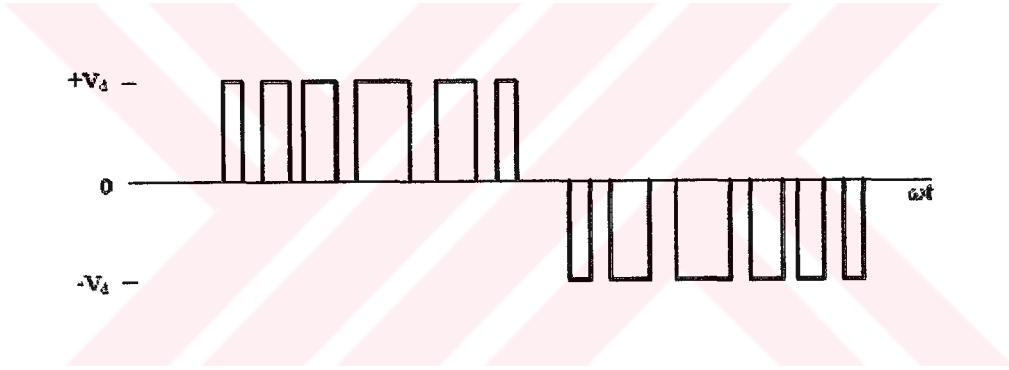


Şekil 2.15. DGA işaretlerinin elde edilmesi (yalnızca yarım periyot görülür).

$$v(t) = m \frac{V_d}{2} \sin(\omega_s t + \phi) + \text{Bessel fonksiyonu harmonik terimi} \quad (2.11)$$

Burada m ayar işareti, ω_s temel frekans, ϕ çıkış geriliminin faz açısı olup ayar dalgasının konumuna bağlıdır. Ayarlama işareti $m=V_P/V_T$ şeklinde belirlenir. Burada V_P temel dalganın tepe değeridir ve V_T taşıyıcı dalganın tepe değeridir. Ayarlama işareti ayarlanan gerilim ve çıkış gerilimi arasındaki ilişkiyi göstermek için 0 ile 1 arasında değiştirilebilir; $m=1$ için temel gerilimin tepe değeri en fazla $0.5V_d$ olur ve bu kare dalga tepe geriliminin %78.5'i dir.

Üçün katı harmonikler ve temel dalga karıştırılarak doğrusal aralıktaki azami gerilim değeri bir miktar arttırılabilir. m' in sıfıra yakın değerlerinde çıkış gerilimi, simetrik darbe ve boşluk genişliği ile kare dalga olur. Ayarlama işareti 1'e yaklaşırken yarım salınım ortalarındaki boşluk genişliği yok olma eğilimindedir [19],[70].



Şekil 2.16. DGA eviricisinin faz gerilimi.

DGA çıkış dalgası, taşıyıcı dalganın frekansı ile ilişkili olarak ortaya çıkan harmonikler ve $M\omega_c \pm N\omega_s$ biçiminde temel frekans ilişkili yan bantlar içerir. Burada ω_c taşıyıcı frekans, ω_s ayar frekansı, M (p' nin tam katı) ve N (ayar frekansının katı) tamsayılarıdır ve $M+N$ tek tam sayıdır. Taşıyıcı frekansın temel frekansa oranı $p=15$ için çıkış gerilimlerinin özeti Tablo 2.1 'de verilmiştir [52].

Tablo 2.1'den görülebilir ki harmoniklerin genlikleri p değerinden bağımsızdır. Yüksek taşıyıcı frekansı ile evirici hat akımı harmonikleri makinenin nominal akı endüktansı ile iyi filtrelenebilir ve akım şekli sinüs dalgaya yaklaşabilir. p değeri evirici kayıpları ve

makine harmonik kayıplarını dengeleyecek şekilde seçilmelidir. p' nin yüksek değerlerinde evirici anahtarlama kayıpları artar fakat makine harmonik kayıpları azalır .

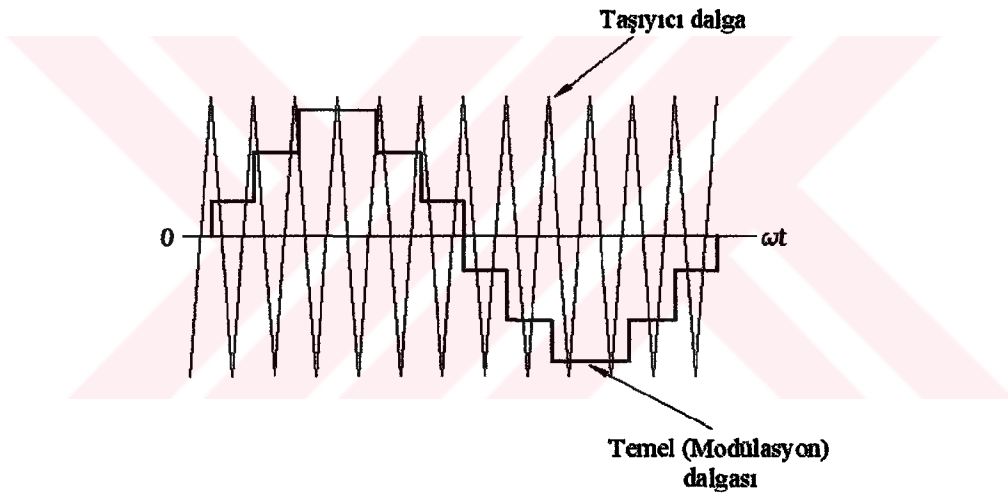
Tablo 2.1. DGA' da çıkış harmoniklerinin özeti.

M	Harmonikler
1	$15\omega_0$
	$15\omega_0 \pm 2\omega_s$
	$15\omega_0 \pm 4\omega_s$
	$15\omega_0 \pm 6\omega_s$
	vb.
2	$30\omega_0 \pm \omega_s$
	$30\omega_0 \pm 3\omega_s$
	$30\omega_0 \pm 5\omega_s$
	vb.
	$45\omega_0$
3	$45\omega_0 \pm 2\omega_s$
	$45\omega_0 \pm 4\omega_s$
	$45\omega_0 \pm 6\omega_s$
	vb.

Düzgün örnekleme tekniğine dayanan en yaygın DGA yöntemi, Şekil 2.17' de verilmektedir. Örnekleme ve tutma temelli örnekleme yönteminde, örnekleme frekansı taşıyıcı frekansına eşittir. İlk yöntemde darbe taşıyıcı dalga boşluğu yönünden asimetriktir. Halbuki diğer yöntemde her zaman simetriktir [72] ,[74].

Mikro bilgisayar uygulamalarına kolaylıkla uyarlanabilen düzgün örnekleme yöntemi düşük frekans harmoniklerinde büyük avantaj sağlar ve serbest çalışma yönteminde alt harmonikleri yok eder. Temel çıkış gerilimi ayarlama işareti m' nin azami değerine

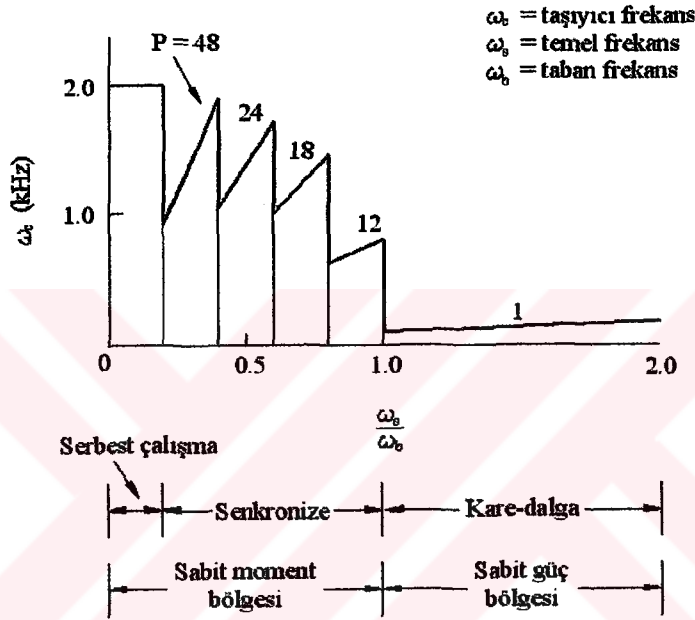
kadar arttırılmasıyla doğrusal aralığın ötesine kadar arttırılabilir. Eğer doğrusal bölgeden doğrusal olmayan bölgeye geçiş başlarsa, dalganın ortasına yakın ani düşüşler şok akım sorunlarına neden olur ve zorlamalı söndürümlü devrelerde söndürüm kaybına neden olur. Bundan başka doğrusal olmayan transfer karakteristikleri, temel frekans ilişkili harmonikler (3.,5.,7.....vb) geçiş bölgesinde görünmeye başlar ve makinede önemli kayıplara neden olur. Sinüs ayar dalgası yerine, kare yada testere dişi biçimli ayar dalgası kullanılabilir. Bu evirici çıkışında simetrik dalga genişliği verir. Evirici çıkış gerilimi, ayar dalgasının genliği değiştirilerek doğrusal bir biçimde denetlenebilir. Kare dalga DGA harmonik çıkışı, sinüsoidal DGA' ya nazaran daha kötüdür fakat ayar dalgası elde etmek daha kolaydır [77] ,[78].



Şekil 2.17. Düzenli örnekleme DGA yöntemi.

Hız denetimli sürücü uygulamaları için evirici çıkış gerilimi ve frekansı, Şekil 2.18'de gösterilen şekilde değişir. Sabit güç bölgesinde azami gerilim, eviricinin kare dalga yönteminde çalıştırılması ile elde edilir fakat sabit moment bölgesinde, gerilim DGA yöntemi kullanılarak denetlenir. Eviricinin, taşıyıcı dalganın frekansının temel dalga frekansına oranının integrali ile çalışması istenir. Sabit oran temel frekans düşerken düşük taşıyıcı frekansa neden olur ve bu makine harmonik kayıpları açısından istenmeyen bir durumdur. Uygulamadaki tranzistörlü eviricilerin taşıyıcı dalga-temel

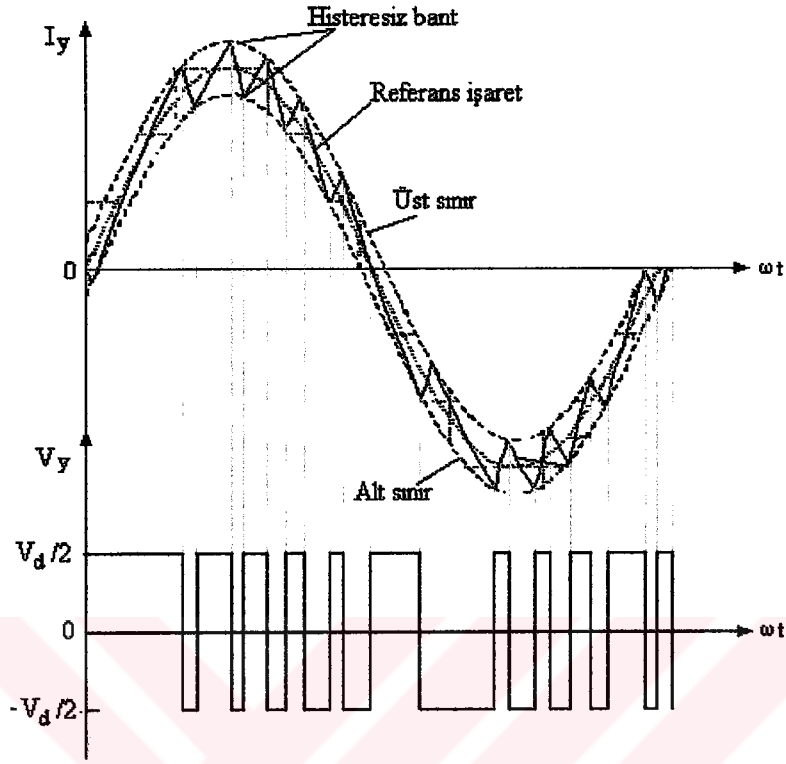
dalga ilişkisi Şekil 2.18’de verilmektedir. Düşük temel frekansta taşıyıcı dalga sabit olarak tutulur ve evirici serbest çalışır. Serbest çalışma bölgesini senkron bölge izler, burada p gösterildiği gibi adımlarla değişir, böylece azami ve asgari taşıyıcı frekanslar belirli bölgede sınırlı kalır. Burada taşıyıcı frekans temel frekansla aynı kabul edilir. Denetim, taşıyıcı frekans sıçramalarına karşı gerilim sıçramaları olmayacak şekilde dikkatli tasarlanmalıdır [26].



Şekil 2.18. Tranzistörlü eviricilerde temel frekans ve taşıyıcı frekans ilişkisi.

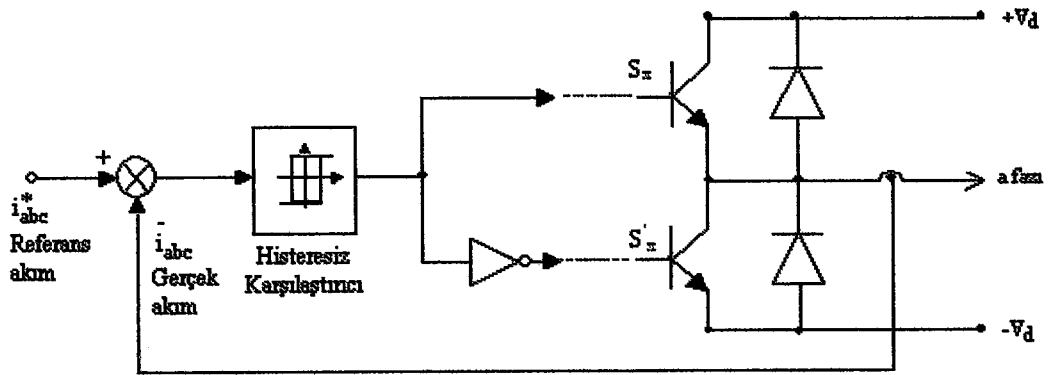
2.4.3 Histeresiz DGA

Şimdiye kadar, DGA ile denetlenen çıkış gerilim dalgasının harmoniklerindeki tartışma, DA hat geriliminin (V_d) düzgün bir şekilde filtrelenmesi temeline oturuyordu. Bu şart önemli miktarda dalgalanma içeren LC yada C filtreler için geçerli olmayabilir. Bu yöntemde, üçgen dalga, referans sinüsoidal işaret yakınlarında, tanımlanmış bir bant aralığında salınır. Anahtarlama tekniği ve buna bağlı olarak çıkış gerilimi Şekil 2.19’da gösterilmiştir. Bu metot AA motorların V/f denetiminde çok iyi sonuçlar verir [20],[21].



Şekil 2.19. Çıkış gerilimin histeresiz akım ayarı tekniğiyle denetimi.

Kullanılan histeresiz akım denetiminin amacı motorun gerçek akımlarını denetleyicinin belirlediği i_{abc}^* akımlarına eşitlemektir. Bir faz için histeresiz denetim yapısı 2.20’ de gösterilmiştir.



Şekil 2.20. Histeresiz akım yöntemi ile denetim yapısı.

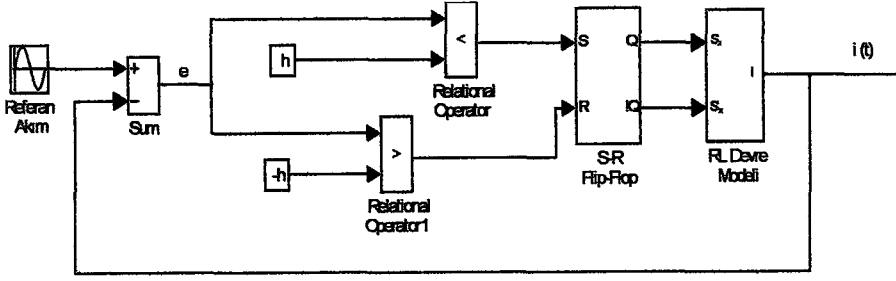
Histeresiz akım denetim mantığı ise;

- Eğer $|i_{xs}^* - i_{xs}| < h$ o zaman $\left\{ \begin{array}{l} \textit{komum} \\ \textit{değiştirme} \end{array} \right.$
- Eğer $i_{xs}^* - i_{xs} < -h$ o zaman $\left\{ \begin{array}{l} S_x = \textit{Kesimde} \\ S'_x = \textit{İletimde} \end{array} \right.$
- Eğer $i_{xs}^* - i_{xs} > h$ o zaman $\left\{ \begin{array}{l} S_x = \textit{İletimde} \\ S'_x = \textit{Kesimde} \end{array} \right.$

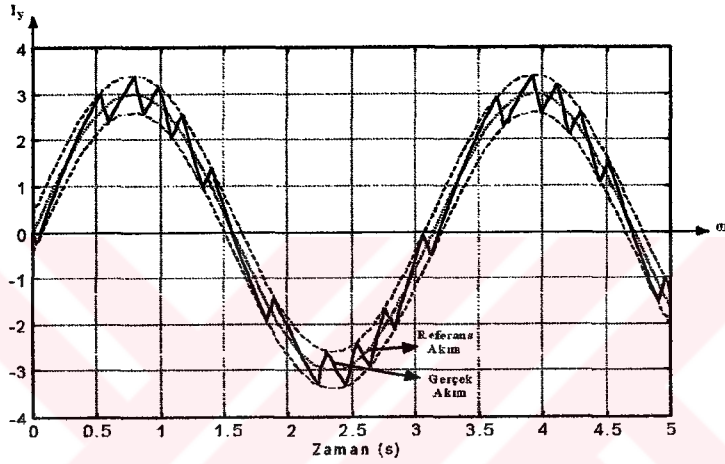
şeklinde tanımlanır.

Yukarıdaki kurallarda h parametresi histeresiz band genişliğidir. S_x motorun x fazını $+V_{dc}$ ' ye bağlayan tranzistör S'_x ise motorun x fazını $-V_{dc}$ ' ye bağlayan tranzistördür. Histeresiz akım denetiminde gerçek akımları referans akımlara eşitlemek için her faz tranzistörleri birbirinden bağımsız tetiklenirler fakat aynı faza ait tranzistörlerden biri iletimde iken diğeri muhakkak kesimdedir. Önce motorun gerçek akımları ölçülür ve referans akımlar ile karşılaştırılır. Sürücü sinyalleri bu karşılaştırmanın sonucuna bağlıdır. Asenkron motor denetimi sırasında, motorun herhangi bir fazının akım $i_{xs}^* + h$ değerinin üzerine çıkmışsa, o faz S'_x anahtarı tetiklenerek DA kaynağın negatif terminaline bağlanır. Eğer akım $i_{xs}^* - h$ değerinden daha küçükse, bu faz S_x anahtarı tetiklenerek kaynağın pozitif terminaline bağlanır. Böylece gerçek akımlar referans akımlara eşit yapılmaya çalışılır.

Vektör denetimi benzeşiminde kullanılmak üzere Matlab/Simulink' te geliştirilen Histeresiz Akım denetleyici Şekil 2.21' de gösterilmiştir. Şekilden de görüldüğü gibi referans akım tanımlanmış bir şekilde yük üzerinden gelen sinyalle karşılaştırılıp, aradaki fark hata olarak belirlenmektedir. Ortaya çıkan bu hata belirtilen histeresiz bandı aralığının dışına çıkamayacak şekilde sistem modellemesi yapılmıştır. Şekil 2.22' de ise geliştirilen Histeresiz denetleyicinin RL yükteki çalışması gösterilmiştir. Şekil 2.22 den açıkça görülmektedir ki belirlenen sinyal histeresiz bandın dışına çıkmamaktadır.



Şekil 2.21. Histeresiz akım denetleyici benzeşim modeli.



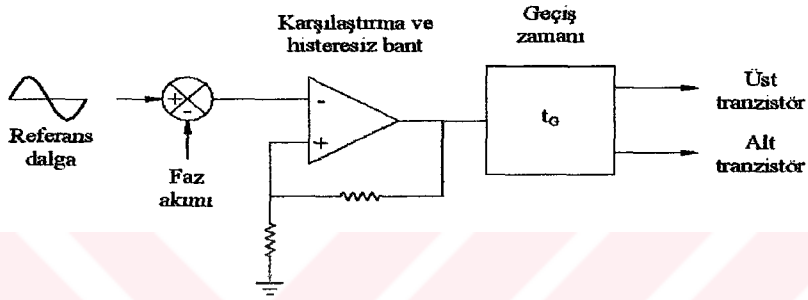
Şekil 2.22. Histeresiz akım denetleyicide yük akımının zamana bağlı değişimi.

Tepeden tepeye akım dalgalanması ile ilişkili olan nominal dalgalı akım, makine ısınma sorununu azaltacak şekilde denetlenir. Akım denetimli DGA çalışma, sabit güç bölgesinde kare dalga çalışmaya düzgün bir şekilde geçebilir. Makine EMK' sının küçük olduğu, makinelerde akım denetiminin bir zorluğu yoktur. Fakat EMK' nın büyük olduğu ve yüksek hızda çalışan makinede akım denetimi periyodun bir parçasında doyuma gidebilir. Bu durumda temel akım genliği düşebilir ve faz kumanda akımından sapabilir. Akım dalgasının yükselme hızı, denklem 2.12' de verilmiştir [20].

$$\frac{di}{dt} = \frac{0.5V_d - V_{cm} \sin \omega_s t}{L} \quad (2.12)$$

Burada V_{cm} sinot sinüsoidal değişen EMK ve L ise kaçak endüktanstır.

Denetim devresi, Şekil 2.23’de gösterildiği gibi gerçek akım değeri ile karşılaştırılmak üzere istenilen genlik ve frekansta, referans akım dalgaları üretir. Akım üst histeresiz bandı aşarsa yarım köprünün üst tranzistörü kesime gider ve alt tranzistörler iletime geçer. Sonuçta çıkış gerilimi $+0.5V_d$ ’den $-0.5V_d$ değerine değişir ve akım düşer. Akım alt banttan aşağı düşerse yarım köprünün üst tranzistörleri iletime geçer ve alt tranzistörleri kesime gider. Geçiş süresi t_G her bir geçişten doğacak hataları önleyecek şekilde üretilir [26],[27].



Şekil 2.23. Uyarlamalı DGA denetim blok diyagramı.

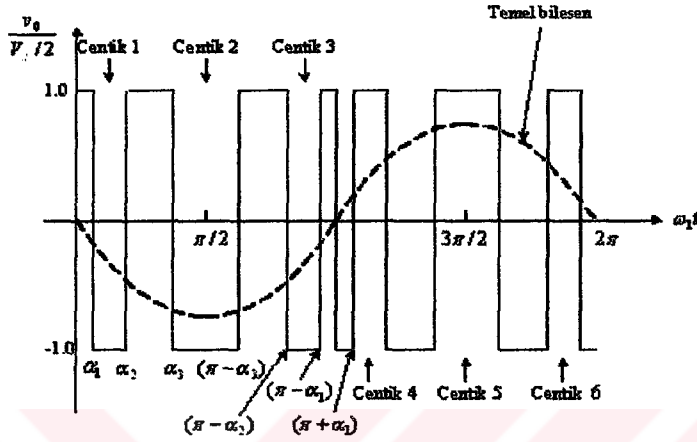
Gerçek akım dalgasının alt ve üst histeresiz bantlar arasında yaptığı zikzak hareketi ile yarım köprünün alt ve üst tranzistörleri için gerekli anahtarlama işaretleri elde edilir. Burada evirici gerilim kaynağı yerine akım kaynağı ile beslenir ve tepeden tepeye akım dalgalanması uyarlamalı olarak, V_d dalgalanmasına aldırmadan denetlenir.

2.5 Harmonik Yok Etme Yöntemi

Bu teknikte çıkış gerilimi, kare-dalga anahtarlama ve DGA metotlarının birlikte kullanılmasıyla denetlenir. Şekil 2.24’de bu anahtarlama metodu gösterilmiştir. Buradan açıkça görüldüğü gibi çıkış gerilimi (v_0), normal şartlarda basit bir kare dalga olabilecek toplam altı çentikten (oyuk) oluşur. Bu yöntemle temel gerilimin genliğinin denetimi ve aynı zamanda 5. ve 7. harmonik bileşenler yok edilmiştir.

Temel olarak yukarıdaki yöntemde; eğer yarım periyotta üç çentik (oyuk) tanımlanırsa temel bileşenin denetimi ve diğer iki harmonik (burada 5. ve 7. harmonikler) yok edilir.

Bu metotta anahtarlama frekansının azaltılması gereklidir ve bundan dolayı anahtarlama kayıpları diğer yöntemlere göre daha azdır. Ayrıca küçük değerlerde bir pasif filtre ile daha yüksek dereceli harmonikler de yok edilebilir [29].



Şekil 2.24. Çıkış geriliminin programlanmış harmonik yok etme yöntemi ile denetimi.

Kare dalgaının, istenmeyen harmonikleri yok edilebilir ve temel gerilim bileşeni harmonik yok etme yöntemi ile denetlenebilir. Bu yöntemde boşluklar, Şekil 2.24'de görüldüğü gibi kare dalga üzerinde önceden belirlenen açılarla oluşturulur. Bu şekilde yarım periyotluk çıkış dalgası, dalga simetrisi ile gösterilir. Dört boşluk açısı α_1 , α_2 , α_3 ve α_4 üç harmonik bileşenini yok etmek ve temel gerilimin denetlenmesi için ayarlanır. Büyük değerli harmonik bileşenler, dalga şekline eklenen boşluk açıları uyarlanabilirse, yok edilebilir.

Çıkış gerilimi için Fourier serisi;

$$v(t) = \sum_{n=0}^{\infty} (a_n \cos n\omega t + b_n \sin n\omega t) \quad (2.13)$$

şeklinde yazılabilir. Burada;

$$a_n = \frac{1}{\pi} \int_0^{2\pi} v(t) \cos n\omega t d\omega t \quad (2.14)$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} v(t) \sin n\omega t d\omega t \quad (2.15)$$

Çeyrek periyotta simetrik dalgalar için yalnızca sinüslü tek harmonik elemanları bulunur. Bu yüzden katsayılar,

$$a_n = 0 \quad (2.16)$$

$$b_n = \frac{1}{\pi} \int_0^{2\pi} v(t) \sin n\omega t d\omega t \quad (2.17)$$

şeklinde belirlenebilir. Birim genliğe sahip sinyalde, $v(t)=\pm 1$, b_n ' in açılımı,

$$b_n = \frac{4}{\pi} \left[\int_0^{\alpha_1} (+1) \sin n\omega t d\omega t + \int_{\alpha_1}^{\alpha_2} (-1) \sin n\omega t d\omega t + \int_{\alpha_2}^{\alpha_3} (+1) \sin n\omega t d\omega t + \dots + \int_{\alpha_{K-1}}^{\alpha_K} (-1)^{K-1} \sin n\omega t d\omega t + \int_{\alpha_K}^{\pi/2} (+1) \sin n\omega t d\omega t \right] \quad (2.18)$$

şeklinde tanımlanabilir. $(\theta_1 - \theta_2)$ aralığı için sinüs işaretinin integrali alınır,

$$\int_{\theta_1}^{\theta_2} \sin n\omega t d\omega t = \frac{1}{n} (\cos n\theta_1 - \cos n\theta_2) \quad (2.19)$$

olur. Burada birinci ve son terim,

$$\int_0^{\alpha_1} (+1) \sin n\omega t d\omega t = \frac{1}{n} (1 - \cos n\alpha_1) \quad (2.20)$$

$$\int_{\alpha_K}^{\pi/2} (+1) \sin n\omega t d\omega t = \frac{1}{n} \cos n\alpha_K \quad (2.21)$$

olur. Denklem (2.19) diğer elemanlarının da integrali alınır ve denklem (2.20) ve

(2.21)'de yerine konursa , eşitlik;

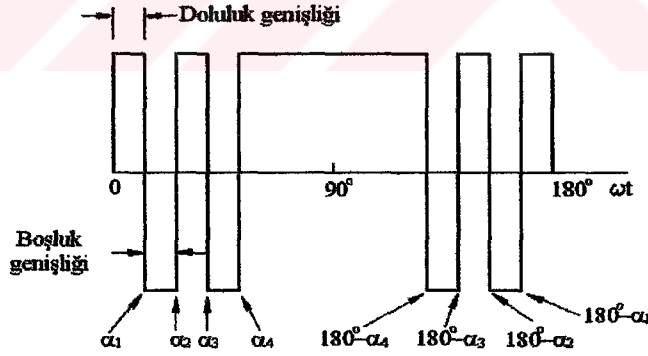
$$b_n = \frac{4}{n\pi} [1 + 2(-\cos n\alpha_1 + \cos n\alpha_2 - \dots + \cos n\alpha_K)] \quad (2.22)$$

$$= \frac{4}{n\pi} \left(1 + 2 \sum_{K=1}^K (-1)^K \cos n\alpha_K \right)$$

halini alır. Dikkat edilirse, 2.22 eşitliğinde K değişkenleri ($\alpha_1, \alpha_2, \alpha_3, \dots, \alpha_K$) içerir ve K adet değişkenin çözülmesi gerekir. K adet α açısı ile temel gerilim denetlenir ve k-1 harmonikleri yok edilir. Örneğin 5. ve 7. harmonikler yok edilir ve temel gerilim denetlenir. 3. ve üçün katı diğer harmonikler, eğer makine yalıtılmış nötr nokta ile yıldız bağlı ise ihmal edilebilir. Burada K=3' tür ve buna bağlı eşitlikler denklem (2.21)'den türetilir [30].

Temel bileşen;

$$b_1 = \frac{4}{\pi} (1 - 2\cos \alpha_1 + 2\cos \alpha_2 - 2\cos \alpha_3) \quad (2.23)$$



Şekil 2.25. Harmonik yok etme yönteminde gerilim dalgası.

5. Harmonik;

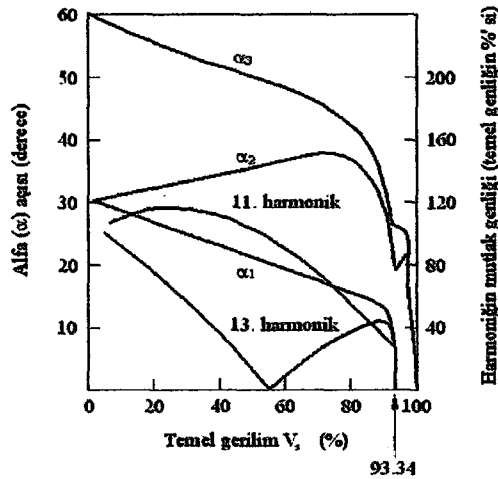
$$b_5 = \frac{4}{\pi} (1 - 2\cos 5\alpha_1 + 2\cos 5\alpha_2 - 2\cos 5\alpha_3) = 0 \quad (2.24)$$

7.Harmonik;

$$b_7 = \frac{4}{\pi}(1 - 2\cos 7\alpha_1 + 2\cos 7\alpha_2 - 2\cos 7\alpha_3) = 0 \quad (2.25)$$

Şeklinde tanımlanabilir.

Yukarıdaki doğrusal olmayan eşitlikler özel temel genlik için çözülebilir ve açıları belirlenebilir. α' nın, farklı çıkış gerilimlerdeki değerleri Şekil 2.26'da çizilmiştir. Ayrıca şekilde düşük dereceden önemli harmonikler' de (11. ve 13. harmonik) gösterilir ve şekilde gerilim seviyesinin %93.84 olduğu durumda 5. ve 7. harmoniklerin yok edildiği görülür ki bu noktada $\alpha_1=0$ dır. Şekil 2.25'te her iki taraftaki boşluk kenara doğru simetrik olarak değişir ve sonra düşer böylece gerilim sıçraması özel sınır içerisinde kalır. Gerilim sıçramasının %1 içerisindeki değeri için α açısı tablosunun bir parçası Tablo 2.2'de verilmektedir. Harmonik yok etme yöntemi, mikro bilgisayarlarda boşluk açısı için bilgi tablosu (look-up table) kullanılarak gerçekleştirilir. V_s' nin belli bir değerinde, açıları bilgi tablosundan alınır ve uygun darbe genişliği zaman domeninde aşağı sayıcının yardımıyla elde edilir. Şekil 2.27'de $V_s=\%50$ ve $f_s=100$ Hz değerlerindeki mikro bilgisayar temelli spektrum analizör çıkışı gösterilmiştir [31].



Şekil 2.26 5. ve 7. harmonikler için temel çıkış gerilimi ve boşluk açısı arasındaki ilişki.

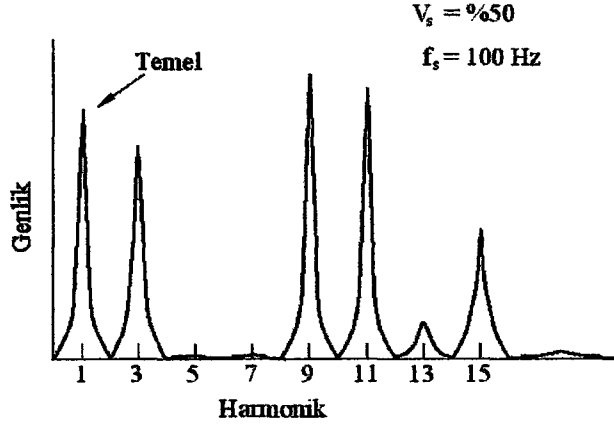
Eğer temel frekans azaltılırsa, boşluk açılarının sayısı artırılır böylece harmoniklerin büyük değerleri yok edilebilir. SCR tipi yarı iletken anahtarlarda, yarım periyottaki boşluk açılarının sayısı yada saniye başına düşen söndürüm sayısı eviricinin anahtarlama kayıpları ile belirlenir. Düşük frekanstaki boşluk açısının büyük değerlerinin sakıncası herhangi bir gerilim dalgasına karşılık gelen α açısının, sıra dışı bir şekilde, büyük olma eğilimidir. Bu nedenle düşük frekansta karma (hibrit) DGA projesinde düşük gerilim bölgesinde sinüsoidal DGA yöntemi kullanılır. Yüksek frekansta ise yüksek gerilim bölgesi harmonik eleme yöntemi kullanılır. Bu şekilde gerilim sıçraması bütün bölgede kesin bir şekilde denetlenir ve sinüsoidal geçiş yöntemi nedeniyle oluşan harmonik kayıpları önemli bir şekilde azaltılır. Gerilim denetiminin istendiği yüksek verimli sürücü sistemlerde, sabit güç bölgesinde harmonik yok etme yöntemi geliştirilebilir.

Tablo 2.2. V_s 'nin %93'ten %100'e değişimindeki α açısı değerleri tablosu.

V_s	α_1	α_2	α_3
93	0	15.94	22.3
94	0	16.17	21.56
95	0	16.41	20.86
96	0	16.88	20.39
97	0	17.34	19.92
98	0	11.2	13.59
99	0	4.69	7.27
100 (kare dalga)	0	0	0

Şekil 2.27'de gösterildiği gibi harmonik yok etme yönteminin bir sakıncası düşük dereceli harmoniklerin yok edilmesinin düşük dereceden önemli harmoniklerin genliklerini arttırmasıdır. Harmonik kayıplarının dalgalı akımın nominal değeri ile

oluştugu belirlendikten sonra, özel harmoniklere dikkat etmek yerine bu deęişimi en düşük seviyeye çekmek gerekir.



Şekil 2.27. 5. ve 7. harmoniklerin elenmesini gösteren spektrum analizör çıkışı.

Harmonik akımlarının toplam etkisi;

$$\begin{aligned}
 I_{\text{dalgalı}} &= \sqrt{I_3^2 + I_5^2 + I_7^2 + \dots} \\
 &= \sqrt{\frac{I_{3m}^2}{2} + \frac{I_{5m}^2}{2} + \frac{I_{7m}^2}{2} + \frac{I_{9m}^2}{2} + \dots} \\
 &= \sqrt{\frac{1}{2} \sum_{n=3}^{\infty} \left(\frac{b_n}{n\omega_s L} \right)^2}
 \end{aligned} \tag{2.26}$$

olur. Burada,

I_3, I_5, vb = harmonik akımlarının nominal deęeri,

I_{3m}, I_{5m}, vb = harmonik akımların tepe deęeri,

n = harmonik derecesi,

b_n = n . harmoniğin tepe deęeri,

L = makinenin bir fazının nominal kaçak endüktansı,

ω_s = temel frekans.

Denklem (2.25)'e uygun harmonik bakır kaybı P_{cu} ,

$$P_{cu} = 3I_{dalgalı}^2 R \quad (2.27)$$

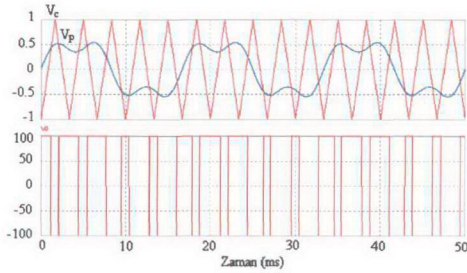
olur. Burada R makinenin faz başına düşen nominal direncidir.

Verilen boşluk açılarının sayısı için b_n ifadesi, denklem (2.21)'de verilmiştir. Bu eşitlik, denklem (2.26)'de yerine konursa $I_{dalgalı}$ boşluk açısının bir işlevi olarak bulunur. Boşluk açıları, $I_{dalgalı}$ akımını düşürmek için bilgisayarda iterasyonla bulunur. Harmonik kayıpları için yeniden düzenlenen α açılarının bilgi tabloları harmonik eleme yönteminden daha çok istenir. Şekil 2.26, Şekil 2.27 ile aynı şartlar altındaki en küçük dalgalanma akımı yöntemindeki gerilim spektrumunu göstermektedir. Dikkat edilirse 7. harmonik yeniden görülmektedir fakat 11. harmoniğin genliği daha düşüktür. Burada da için katı harmonikler önemsenmez [10],[79].

2.6 Gelişmiş Anahtarlama Yöntemleri

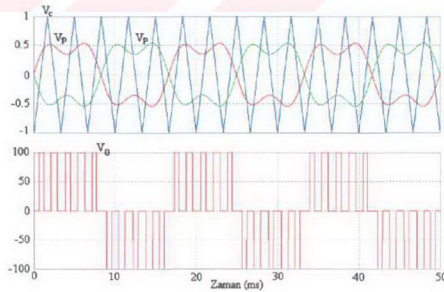
Sinüsoidal DGA tekniği (Bipolar ve Unipolar) çok yaygın olarak kullanılmasına rağmen, çıkış geriliminin temel bileşeninde oldukça yüksek THD' ye neden olur. Oysa çıkış geriliminin saf sinüsoidal olması istenmektedir. Bu nedenle diğer ileri gerilim denetim teknikleri geliştirilmiştir. Harmonik enjeksiyon ayarı, histeresiz akım ayarı/bang bang denetim ve harmonik yok etme yöntemleri ileri denetim yöntemlerinden bazılarıdır.

Harmonik ekleyerek istenmeyen harmonikleri yok etme yönteminde, ayar işareti, seçilmiş harmoniklerin sisteme enjeksiyonu ile üretilir. Dışarıdan sisteme yok edilmesi istenen harmoniğin simetrisi eklenir. Böylece sistemin oluşturduğu harmonikle dışardan verilen harmonik bir birini yok eder.



Şekil 2.28. Üçüncü harmoniklerin enjeksiyon ayarı tekniği (bipolar yaklaşım).

Şekil 2.28 ve 2.29'de sistemin gerilim denetim metodu şematik olarak gösterilmiştir. Burada sinüsoidal referans dalgasına 3. harmonik işareti eklenmiştir. Üçüncü harmonik işareti temel frekansta (50 Hz) salınan normal sinüsoidal referans işaretinin üç katı frekansında (150 Hz) salınmaktadır. Harmonik ekleyerek istenmeyen harmonikleri yok etme yöntemi ile aşırı ayar miktarı (Over modulation) azaltılarak çıkış geriliminin; düşük THD' li ve daha yüksek temel genlikli olması sağlanmıştır. Bu yöntemin kullanılmasıyla geleneksel sinüsoidal DGA tekniğine göre temel bileşende %15 daha iyileşme sağlanmıştır. Harmonik ekleyerek istenmeyen harmonikleri yok etme yöntemi devredeki güç aygıtlarının termal zorlanmalarını azaltmıştır.



Şekil 2.29. Üçüncü harmoniklerin enjeksiyon ayarı tekniği (unipolar yaklaşım).

BÖLÜM 3. DGA' NIN PRATİK OLARAK GERÇEKLEŞTİRİLMESİ

3.1. Giriş

Literatüre bakıldığında yüksek anahtarlama frekanslı DGA 'ın gerçekleşmesinde yüksek hızlı işlem yapma kapasitesine sahip DSP kartların ve yüksek maliyetli mikroişlemcilerin kullanıldığı görülmektedir. DSP kartların yüksek maliyetli olması ve değişik çalışma ortamlarına adapte olamamasından, diğer çözümlerin ise yüksek maliyetli olmasından dolayı denetim yöntemleri ile ilgili başka çözümler üzerindeki çalışmaların önemi artmıştır.

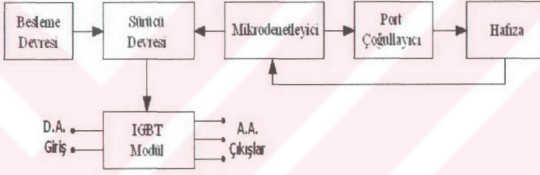
DGA 'ın pratik olarak gerçekleştirilmesi için bu tezde, düşük maliyetli fakat yüksek performanslı, çok farklı ortamlarda kolaylıkla çalışabilen ve yüksek ömürlü Microchip firmasının ürettiği PIC mikrodenetleyici tabanlı denetim sistemi kullanılarak gerekli program C programlama dilinde yazılmıştır. Gerçekleştirilen sistem ile DGA 'nın mikrodenetleyici kullanılarak gerçekleşmesi mümkündür. DGA 'nın mikrodenetleyici kullanarak gerçekleştirilebilmesi için iyi derecede programlama bilgisine ihtiyaç vardır.

Bölüm 5 deki benzeşim sonuçları ile bölüm 3 deki pratik uygulama sonuçları karşılaştırıldığında birbirlerine çok yakın değerler gösterdiği açıkça görülür. Bazı ufak farklılıklarda teoride ideal kabul edilen bazı elemanların pratikte ideal olarak kullanılamayışına ve deneysel ortamda oluşan ölçüm hatalarına (deneyde kullanılan kablo, konnektör vb malzemelerin oluşturacağı kayıplar) bağlıdır. Kısaca teorik çözümlerde ihmal edilen bazı değerlerin pratikte sonuçlara yansımaları, pratik sonuçlarla teorik sonuçlar arasında bazı farklılıklar oluşturmaktadır. Bu farklılıkların kabul edilebilir değerlerde olması gerekir. Bu tezde yapılan pratik çalışma sonuçları ile teorik sonuçlar karşılaştırıldığında aradaki farklılıkların çok az olması tezde amaçlanan hedefe ulaşıldığını gösterir.

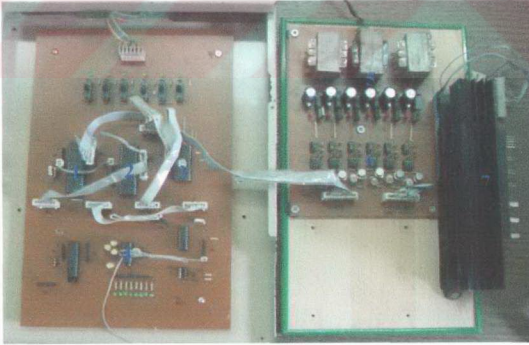
Farklı anahtarlama frekansları ile elde edilen pratik çalışma sonuçları bu bölümde verilmiştir. Değişik Anahtarlama frekansları ile deney sonuçları gözlenmiş olup aşağıda verilenler sonuçları en istenir olanlardır. Deney sırasında kullanılan DA gerilim ve RL yük değeri (DA Hat gerilimi 12 V ve $R=47\Omega$, $L=700\text{ mH}$ ' lik seri bağlı R-L yüküdür).

3.2. Uygulama Devresi

Uygulama devresinin genel blok diyagramı Şekil 3.1 'de gösterilmektedir. Bu blok devreye uygun kurulan deney düzeneği Şekil 3.2 'de verilmektedir.



Şekil 3.1. Uygulama devresi blok şeması.



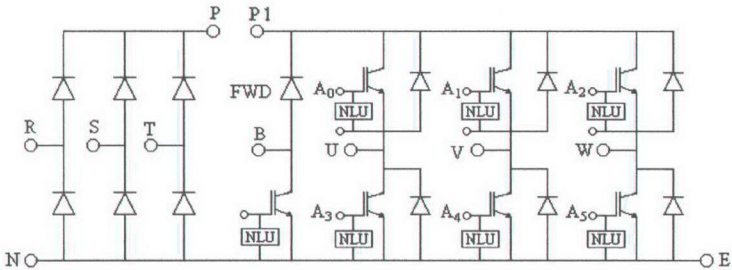
Şekil 3.2. Uygulama devresi.

Uygulama Devresindeki birimler;

1. 18F452 Mikrodenetleyici Devresi
2. 8255 Paralel Giriş-Çıkış Devresi
3. 27C256 Eprom Devresi
4. MAX232 Devresi
5. Sürücü Devre Besleme Katı
6. Sürücü Devresi
7. Güç Modülü

3.2.1. Güç modülü

FUJI ELECTRIC firmasına ait “7MBR30NE – 060” kodlu IGBT modülü (en yüksek dayanma akımı ve gerilimi 30A, 600V) kullanılmaktadır. Modül üç kısımdan oluşmaktadır. Doğrultucu (üç fazlı denetimsiz), Evirici (6 adet korumalı IGBT elemanlı) ve frenleme (sürülen motoru frenlemeyi sağlayan tek bir IGBT). Güç modülünün detaylı devresi Şekil 3.3 'te gösterilmektedir. Bu modül hızlı anahtarlama ve düşük endüktans özelliklerine sahip olması nedeniyle servo sürücülerde, eviricilerde ve kesintisiz güç kaynaklarında kullanılabilir.



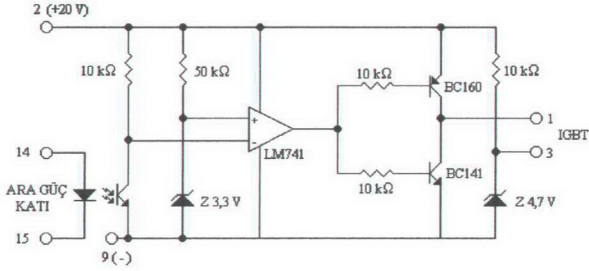
Şekil 3.3. Güç Modülünün iç yapısı.

3.2.2. Besleme devresi

Şekil 3.5 de görülen devrenin genel yapısı üç kısımdan oluşur. Birinci kısımda bulunan üç adet orta uçlu transformatör 220 V' luk şebeke gerilimini 12 volta düşürerek gerilimin genliğini ayarlar. Bu gerilim, devrenin ikinci kısmını oluşturan köprü doğrultuculara iletilir. Bu doğrultucular çıkışta gerilimin maksimum değerinin $\sqrt{2}$ katı kadar bir DA gerilimi üretir. Son olarak üçüncü kısımda DA gerilimi kondansatörler yardımıyla filtre edilerek sabit çıkış olarak kullanılır. Çıkış gerilimi 7815 entegresi kullanılarak yüklerden bağımsız ve sürekli sabit hale getirilir. Böylece çıkışta sabit 15 V verebilen bir besleme devresi elde edilir. Besleme devresi Şekil 3.5 'te gösterilmektedir.

3.2.3. IGBT sürücü devresi

Tasarlanan sürücü devre IGBT' leri sürmek için kullanılan optik yalıtımlı bir devredir. Gönderilen sinyallerin genlikleri, IGBT' leri sürmeye yeterli olmadığı için sinyallerin genlikleri tetikleme devresi tarafından yükseltilir. Bu devreler girişlerine uygulanan 0-20 V arasındaki sinyali çıkışına 15 $-(-5)$ V şeklinde vererek IGBT' nin iletme ve kesime girmesini sağlar. Bu sürücü devresi ile 40 kHz' e kadar tetikleme yapılabilir. Devrenin girişinde devreyi korumak ve tetikleme sinyali oluşturmak için bir adet optik yalıtıcı bulunur. Devrede bulunan opamp karşılaştırma sonucuna göre sırayla PNP ve NPN tranzistörleri iletme geçirir yada kesime sokar. Çıkışta bulunan zener diyot IGBT' lerin emiter ucuna bağlanır ve tetikleme için referans oluşturulur. Yani IGBT' lerin yüksek frekanslı anahtarlamalarda kesime girmesini kolaylaştırır. Optik yalıtıcı bilgisayardan gelen sinyalleri ara güç katı yardımıyla alır ve bu sinyali bir tranzistöre ileterek opamp' ta karşılaştırma yapılmasını sağlar. Opamp' ta karşılaştırma sonucu lojik 1 ise NPN transistörü iletme geçer. Bunun sonucunda devre çıkışına 20 V gerilim gönderir; zenerden gelen -5 V' luk gerilim de eklenerek 15 V çıkış sağlanır böylece bağlı bulunan IGBT iletme geçirilir. Eğer opamp çıkışı lojik 0 olursa bu durumda PNP transistörü iletme geçerek zenere ait olan -5 V' luk gerilimi devre çıkışına iletir ve IGBT' yi kesime sokar. Yukarıda çalışması anlatılan sürücü devre Şekil 3.4 'te gösterilmektedir.

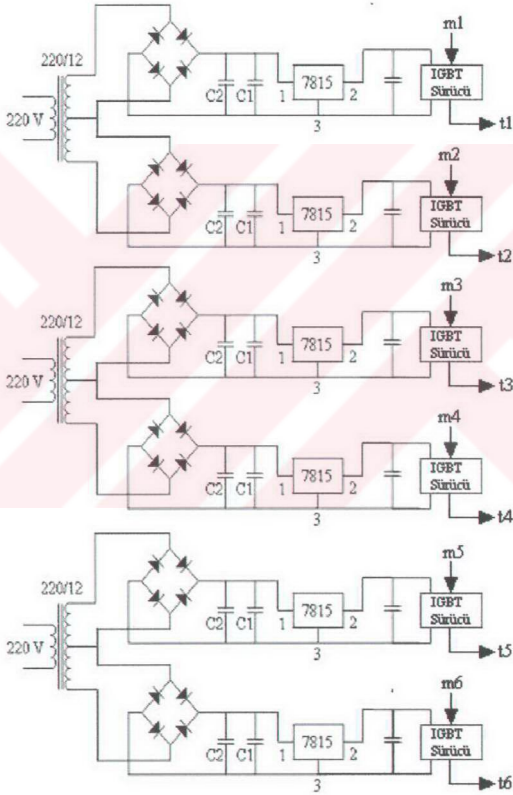


Şekil 3.4. IGBT sürücü devresi.

3.3. Tasarlanan Sistemin Çalışması

Evirici işaretlerinin üretilmesi ve denetimi için Şekil 3.6 'daki sistem temel alınmaktadır. Tasarlanan sistemin beynini Microchip firmasının ürettiği yeni nesil mikrodenetleyicilerinden biri olan 18F452 oluşturmaktadır. 40 Mhz çalışma hızına çıkması ve tek çevrimde 8 bitlik donanımsal çarpma (Single Cycle 8x8 Hardware Multiplier) yapmasından dolayı diğer popüler mikrodenetleyicilere göre matematiksel işlemleri çok daha kısa sürede gerçekleştirir. Kullanılan 18F452 Mikrodenetleyicisinin program hafızasının çok küçük (32Kb) olmasından dolayı ek hafıza birimi olarak EPROM (27c256, 256Kb) kullanılmaktadır. 27c256 Epromunu adresleyebilmek için 15 ($A_0 \dots A_{14}$) bit çıkış bitine ihtiyaç duyulmaktadır. 18F452 Mikrodenetleyici, 34 Bit (5 port; A portu 7 bit sayısal giriş-çıkış veya analog giriş, B, C, D portları 8 Bit sayısal giriş-çıkış, E portu 3 bit sayısal giriş-çıkış veya analog giriş) ayarlanabilen giriş-çıkış hatlarına sahiptir. PIC ' le Epromdaki bilgileri okuyabilmek için 23 bite ihtiyaç duyulmaktadır. Mikrodenetleyicinin bu kadar çıkışını kullanmamak için 8255 Paralel Giriş-Çıkış (PIO, Paralel Input Output) entegre devresi kullanılarak port çoğullaması yapılmaktadır. 8255 entegre devresi ile 3x8 bitlik giriş çıkış sağlanabilmektedir. Mikrodenetleyici ile 8255'i kullanabilmek için 12 bit yeterlidir ($D_0 \dots D_7$: 8bit data port, $A_0 \dots A_1$: 2 bit adres portu, $\overline{RD} / \overline{WR}$: okuma/yazma işareti, Reset : 1 bit reset işaret).

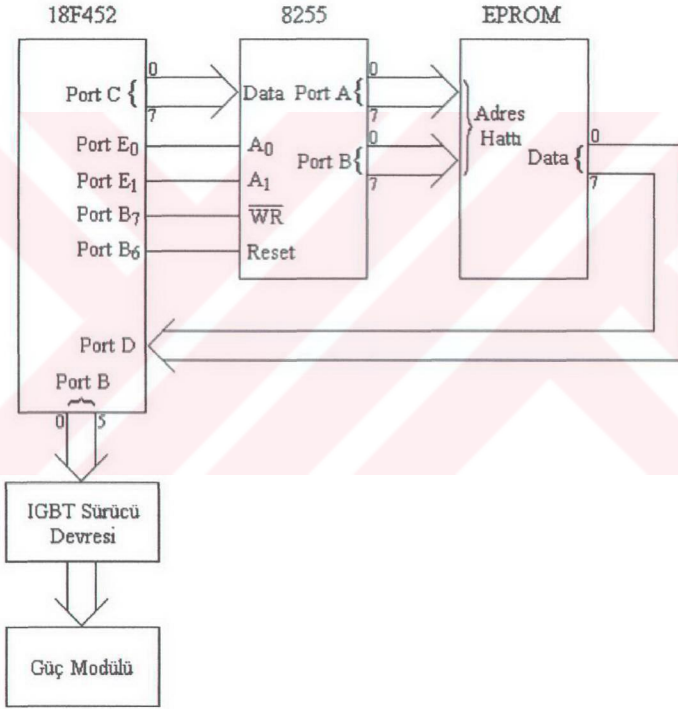
Şekil 3.6. 'da gösterilen sistemin çalışması aşağıdaki adımlarla gerçekleştirilmektedir. Eproma gerekli veriler (DGA: sinüs, değişik frekanslarda taşıyıcı işaret bilgileri) yazılır. PIC ile 8255 entegre devresi kullanılarak İstenilen bilgiler Epromdan okunur. PIC mikrodenetleyicisi ile bu veriler işlenerek anahtarlama işaretleri üretilir ve IGBT sürücü devresi aracılığı ile işaretler güç modülüne gönderilerek uygun anahtarlama sağlanır.



Şekil 3.5. Besleme ve IGBT sürücü devresi.

Şekil 3.6 'da gösterilen sistemin çalışması aşağıdaki adımlarla gerçekleştirilmektedir.

1. Eproma gerekli veriler yazılır (Sinüsoidal DGA için referans ve taşıyıcı işaretler).
2. PIC ile 8255 entegre devresi kullanılarak istenilen veriler Epromdan okunur.
3. PIC mikrodenetleyicisi ile bu veriler işlenerek tetikleme işaretleri üretilip IGBT sürücü devresi aracılığı ile güç modülünün anahtarlanması sağlanır.



Şekil 3.6. Sistemin çalışmasına ait blok şeması.

3.4. Uygulama Sonuçları

3.4.1. Anahtarlama frekansı 600 Hz için DGA sonuçları

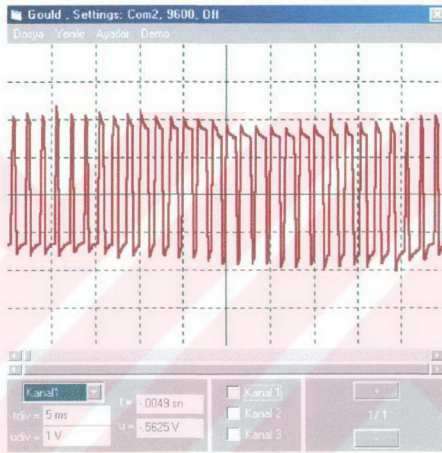
600 Hz gibi düşük anahtarlama frekansı ile denetlenen eviricinin; yük üzerindeki akım ve gerilim dalga şekilleri ve bu sinyaller üzerinde oluşan harmonikler alınan deney sonuçlarından incelenirse PIC' le denetlenen eviricinin istenir ölçülerde sonuçlar verdiği görülür. Anahtarlama frekansının düşük olması yük üzerinden akan akımın tam sinüsoidal olmamasına neden olmuştur. Anahtarlama frekansının belli bir aralıkta artırılması ile yük üzerinden akan akımın sinüse çok yakın olduğu deney sonuçlarından görülmüştür.



Şekil 3.7. Evirici anahtarlama işaretleri.

Şekil 3.7' de 600 Hz anahtarlama frekansı ile denetlenen eviricinin anahtarlama işaretleri görülmektedir. Şeklin üst tarafında görülen anahtarlama işaretleri tam köprü eviricinin T_{r1} - T_{r4} tranzistörlerini ve altta görülen anahtarlama işaretleri de T_{r2} - T_{r3} tranzistörlerini tetiklemektedir. Şekil den de görüldüğü gibi alttaki ve üstteki

anahtarlama işaretleri arasında 180° faz farkı vardır. Anahtarlama sinyalleri, çalışma frekansının düşük olması nedeni ile geniş aralıklarla üretilmiştir. Transistörlerin ilettime girmesi kesime girmesinden daha çabuk olmaktadır. Bu nedenledir ki eviriciyi besleyen güç kaynağının kısa devre olmaması için elde edilen iki anahtarlama işareti arasında çok kısa ($5\mu s$) ölü zaman bırakılmıştır. Şekilde görülen anahtarlama sinyalleri incelenirse senkron olarak farklı zamanlarda üretildiği görülür.

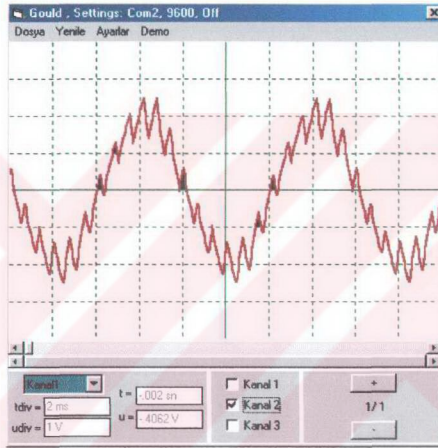


Şekil 3.8. Bir fazlı eviricinin çıkış geriliminin zamana bağlı değişimi.

Şekil 3.8' de Bir fazlı eviricinin çıkış geriliminin zamana bağlı değişimi görülmektedir. Gerilimde oluşan küçük değerli pikler ile bozulmalar analog bir osiloskopa izlendiğinde görülmemektedir.

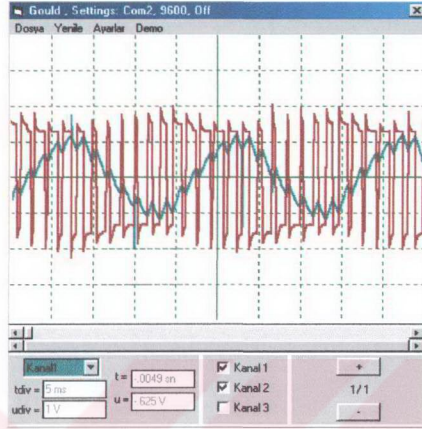
Şekil 3.9 da bir fazlı eviricinin yük akımının zamana bağlı değişimi görülmektedir. Anahtarlama frekansının düşük olmasına rağmen yük akımının sinüsoidal'e yakın olması PIC ile denetlenen eviricilerin düşük anahtarlama frekanslarıyla da iyi sonuçlar

vereceği şekil 3.9 dan açıkça görülmüştür. Hız hassasiyetinin ve küçük değerli sinyal bozulmalarının önemli olmadığı uygulamalarda düşük frekanslı anahtarlama işaretleri kullanılabilir. Şekil 3.9'dan görüldüğü gibi akımın ana bileşeni etrafındaki dalgalanma anahtarlama işaretlerinin frekansı ile ilgilidir çünkü dalgalanma sayısı anahtarlama işareti ile aynıdır. O halde akımın ideal sinüs işaretine yakın olması için anahtarlama frekansının artırılması gerektiği açıktır.



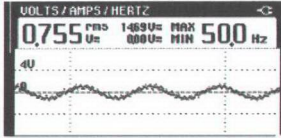
Şekil 3.9. Bir fazlı eviricinin yük akımının zamana bağlı değişimi.

Şekil 3.10'da akım ve gerilim dalga şekilleri bir arada görülmektedir. Şekilden görüldüğü gibi gerilimin nominal değeri ve akım arasında faz farkı vardır. Bu da yükün endüktif özellikli olmasından kaynaklanmaktadır. Ayrıca şekilden akım ve gerilimin 50 Hz olduğu açıkça görülmektedir. Bu sonuç evirici çıkışı için çok önemlidir. Çünkü üretilen gerilimin yükün çalışma frekansında olması gerekir. Türkiye de kullanılan frekansın 50 Hz olması nedeni ile evirici çıkış frekansı 50 Hz' e ayarlanmıştır. İstenildiği takdirde evirici çıkışı değişik frekanslara ayarlanabilir.

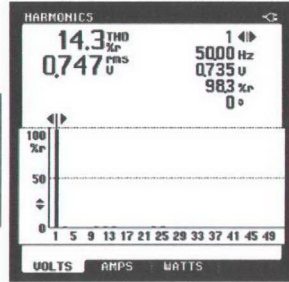


Şekil 3.10. Bir fazlı eviricinin çıkış gerilimi ve yük akımının zamana bağlı değişimi.

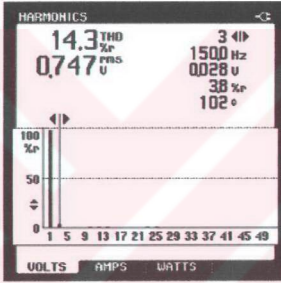
Şekil 3.11 de 600 Hz anahtarlama frekansıyla denetlenen eviricinin, yük üzerindeki geriliminin harmonik analizörle ölçülen deneysel sonuçları verilmiştir. Omik yük üzerinden sinyal alınarak ölçüm yapıldığından yük üzerindeki akımla gerilimin aynı anda harmonik analizörü yapılmıştır. Tek fark akım sonucunu anlayabilmek için Ohm kanununa göre ölçülen gerilim genliğinin omik yükün değerine bölmektir ($I=U/R$). Ölçüm sonucundan yük üzerinde 3.,13., 23. ve 25. harmoniklerin oluştuğu görülmüştür. Bu harmoniklerin teker teker analizleri yapılarak ölçüm sonuçları şekil 3.11 de verilmiştir. Toplam harmonik bozulmasının %14.2 ile %14.4 arasında olduğu deneysel sonuçlardan gözlenmiştir. Toplam harmonik bozulmasının %14 olması IEEE 519 standart' ının belirlediği THD gerilimde %5 akımda %3 değerinin üzerine çıkmıştır. Bu nedenle de temel bileşen üzerinde %14 lük bir bozulma olacaktır. Bu bozulmanın IEEE 519 standartlarına getirebilmek için PIC ile denetlenen eviricinin anahtarlama frekansının artırılmasının yeterli olacağı yapılan deneysel sonuçlardan görülmüştür.



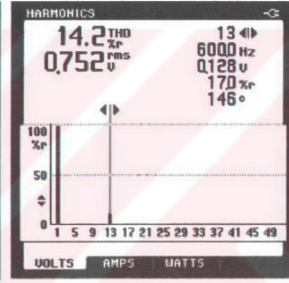
(a)



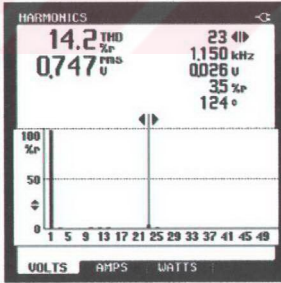
(b)



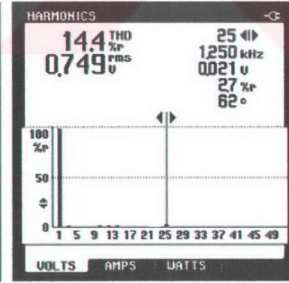
(c)



(d)



(e)



(f)

Şekil 3.11. (a) Yük direnci gerilimi, (b) Temel bileşen(1.), (c) 3., (d) 13., (e) 23., (f) 25. harmonik değerleri.

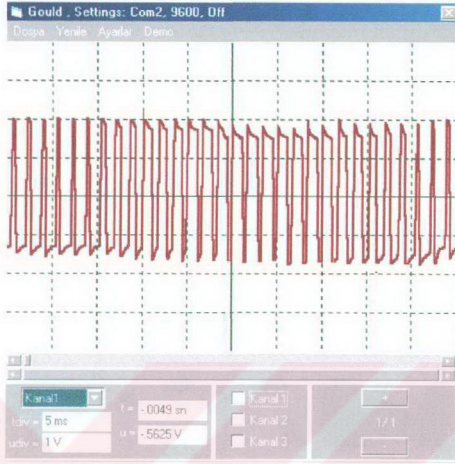
3.4.2. Anahtarlama frekansı 1.5 KHz için DGA sonuçları



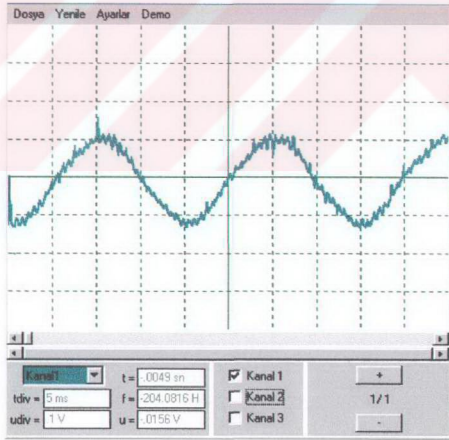
Şekil 3.12. Evirici anahtarlama işaretleri.

Şekil 3.12 de anahtarlama frekansı 1.5 KHz ile denetlenen eviricinin; anahtarlama işaretleri görülmektedir. Şekil 3.12 ile şekil 3.7 karşılaştırılırsa, şekil 3.12 deki anahtarlama işaretlerinin frekansları şekil 3.7 deki anahtarlama işaretlerinin frekanslarından yüksek olduğu görülür. Bu sonuçtan şekil 3.12 deki anahtarlama işaretlerinin daha sık aralıklarla üretildiği anlaşılır.

Şekil 3.13 de 1.5 KHz anahtarlama frekansı ile denetlenen eviricinin yük üzerindeki gerilim görülmektedir. Anahtarlama frekansının artırılması ile yük üzerindeki gerilimin dalga şeklinin düzeldiği şekil 3.13 ile şekil 3.8 in karşılaştırılması sonucunda ortaya çıkmaktadır. Anahtarlama frekansının artırılması anahtarlama kayıplarının artmasına neden olacaktır. Bu nedenle eviriciler denetlenirken en ideal sonucun alınacağı anahtarlama frekansı belirlenmelidir. Evirici modülünün anahtarlama sınırı göz önünde bulundurulmalıdır aksi halde evirici anahtarlama işaretlerine cevap veremez.



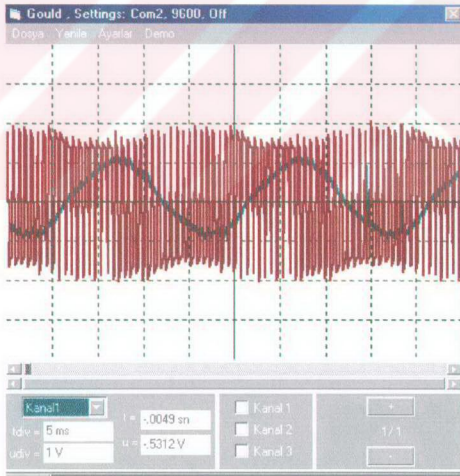
Şekil 3.13. Bir fazlı eviricinin çıkış geriliminin zamana bağlı değişimi.



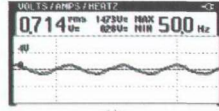
Şekil 3.14. Bir fazlı eviricinin yük akımının zamana bağlı değişimi.

Şekil 3.14 de 1.5 KHz ile denetlenen evirici üzerinden akan akımın dalga şekli görülmektedir. Şekilden de görüldüğü gibi akım sinüse çok benzemektedir. Dalga şekli üzerinde görülen pikler analog osilaskopla gözlemlendiğinde görülmemektedir. Yük olarak motor kullanıldığında yük üzerinden akan akım daha sinüsoidal olacaktır. Şekil 3.14 ile şekil 3.9 karşılaştırıldığında şekil 3.14 deki dalga şeklinin sinüse daha çok benzediği görülür. Buradan çıkan sonuç eviricinin denetiminde anahtarlama frekansının belirli aralıkta artırılması eviricinin yüksek verimde çalışmasına neden olacaktır.

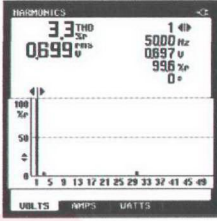
Şekil 3.15 de yük üzerindeki akımla gerilimin dalga şekli üst üste gösterilmiştir. Buradan yük üzerinden akan akımın frekansının 50 Hz olduğu açıkça görülmektedir. Şekildeki akım ve gerilim dalga şekilleri incelendiğinde yük üzerindeki akımla gerilim arasında faz farkının olduğu görülür. Bunun nedeni yükün endüktif özelliğe sahip olmasıdır.



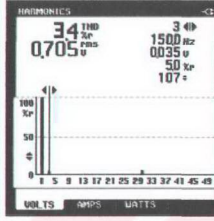
Şekil 3.15. Bir fazlı eviricinin çıkış gerilimi ve yük akımının zamana bağlı değişimi.



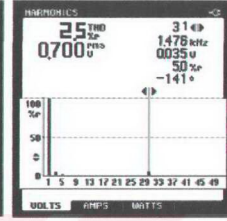
(a)



(b)



(c)



(d)

Şekil 3.16. (a) Yük gerilimi, (b) Temel bileşen(1.), (c) 3., (d) 31. harmonik değerleri.

Şekil 3.16'da 1,5 kHz' lik anahtarlama işareti için yük akımının harmonik bileşenleri görülmektedir. Ölçüm sonucundan yük üzerinde 3. ve 31. harmoniklerin oluştuğu görülmüştür. Bu harmoniklerin teker teker analizleri yapılarak ölçüm sonuçları şekil 3.16 da verilmiştir. Toplam harmonik bozulmasının %2.5 ile % 3,4 arasında olduğu deneysel sonuçlardan gözlenmiştir. Evirici çıkışındaki akım ve gerilimin toplam harmonik bozulmasının yaklaşık %3 olması IEEE 519 standart' ının belirlediği THD gerilimde %5 akımda %3 olma standardını yakalamıştır.

Şekil 3.16 gösteriyor ki bu tezde tasarlanan, pic ile denetlenen eviricinin anahtarlama frekansı 1.5 kHz gibi düşük bir frekans da bile iyi performans göstermiştir. Anahtarlama frekansları biraz daha artırılarak daha iyi sonuçlar alınabilir. Burada dikkat edilmesi gereken eviricinin istenir performansı gösteren anahtarlama frekansını tespit etmektir. Anahtarlama frekansının artırılması anahtarlama kayıplarını artırdığı gibi harmonik bileşenlerinde de büyük ölçüde değişiklikler oluşturmaktadır. Bu nedenle eviricinin belirtilen standartlardaki sonucu verdiği anahtarlama frekansı ile eviricinin çalıştırılması eviricinin performansını iyice artıracaktır.

BÖLÜM 4. BULANIK MANTIK

4.1. Giriş

Bulanık mantık, Aristo mantığında var - yok (0 - 1) biçiminde yer alan keskin sınırları ortadan kaldırarak bir olayın bir kümeye ait olma durumunu üyelik dereceleri ile belirlemektedir. Böylece doğanın kendisinde var olan belirsizliği, bilimsel düşünce yapısına ve bu yapının ortaya çıkardığı ürünlere yansıtılmak mümkün olabilmektedir.

Bulanık mantığın kullanıldığı sistemlerde, saptanamayan veya ölçülemeyen parametrelerin etkisini ihmal etmek yerine insan bilgisi, sezgisi ve tecrübesi gibi kavramlardan yola çıkarak bu belirsiz parametrelerin de etkisini ortaya koymak mümkün olabilmektedir. Böylece Aristo mantığında yer almayan kişisel görüşler, bulanık mantıkta kullanılarak klasik mantığın 0 ve 1 olan doğruluk değerleri daha esnek hale getirilmiştir.

Bulanık mantık, bir süreci formüle etmek yerine sürecin oluşumuna neden olan parametreleri tespit eder. Bundan dolayı, bu parametrelerin tüm süreç içerisindeki ağırlıklarını belirleme yoluna gider [32],[33].

4.2. Belirsizlik Kavramı

Her insan günlük hayatında kesin olarak bilinmeyen, bazen de önceden kesinmiş gibi düşünülen fakat sonra kesinlik içermeyen durumlarla karşılaşır. Bu durumların, sistematik bir şekilde önceden planlanarak sayısal modellerinin yapılması, ancak birtakım kabul ve varsayımlardan sonra mümkün olabilmektedir. Şimdiye kadar yapılan mühendislik araştırmalarında ve modellemelerinde bu varsayım ile kabul ve kavramlara kesinlik kazandırmak için değişik çalışmalarda bulunulmuştur. Oysa ki büyük ölçeklerden küçük ölçeklere doğru gidildikçe incelenen olayların, kesinlikten

uzaklaşarak belirsizlikler içeren yönere doğru gitmeleri söz konusudur. Mesela, çok uzakta bulunan bir cisme bakıldığında onun nokta şeklinde algılanması, onun boyutsuz ve şekilsiz olduğu sonucuna varılmasına sebep olur. Bu cisim bize yaklaştıkça bir boyutludan, önce düzlem gibi iki boyutlu, daha sonra da küre gibi üç boyutlu hale dönüşür. Böylece, boyutlar arasında kesin bir geçişten ziyade beklenmedik bir değişimin olduğuna akıl ile varılabilir.

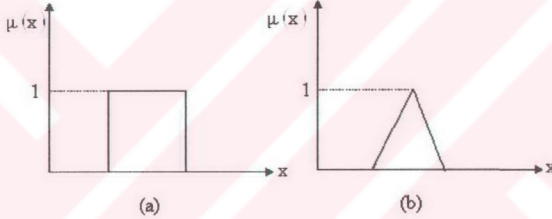
Gerçek dünya karmaşıktır. Bu karmaşıklık, genel olarak belirsizlik, kesin düşünceden yoksunluk ve karar veremeyişten kaynaklanır. Birçok sosyal, iktisadi ve teknik konularda insan düşüncesinin tam anlamı ile olgunlaşmamış oluşundan dolayı, belirsizlikler her zaman bulunur. İnsan tarafından geliştirilmiş olan bilgisayarlar, bu türlü belirsizlikleri işleyemezler ve çalışmalar için sayısal bilgiler gereklidir. Gerçek bir olayın kavranılması, insan bilgisinin yetersizliği sebebiyle tam anlamı ile mümkün olmadığından insan, düşünce sisteminde bu gibi olayları yaklaşık olarak canlandırarak yorumlarda bulunur. Bilgisayarlardan farklı olarak insanın yaklaşık düşünmesi, oldukça yetersiz, eksik ve belirsizlik içeren veri ve bilgi ile işlem yapabilme yeteneği vardır. Genel olarak, değişik biçimlerde ortaya çıkan karmaşıklık ve belirsizlik gibi tam ve kesin olmayan bilgi kaynaklarına bulanık (fuzzy) kaynaklar adı verilir. Zadeh' in de dediği gibi; " Gerçek dünya sorunları ne kadar yakından incelenirse, çözüm de o kadar bulanık olur."

4.3. Bulanık Küme Teoremi

Aristo mantığına göre çalışan ve şimdiye kadar alışlagelen klasik küme kavramında, bir kümeye giren elemanların oraya ait olmaları durumunda üyelik dereceleri 1'e, ait olmamaları durumunda ise 0'a eşit varsayılmıştır. Bu iki değer arasında hiçbir üyelik derecesi düşünülemez. Oysaki bulanık kümeler kavramında 0 ile 1 arasında değişen, değişik üyelik derecelerinden söz etmek mümkündür. Aslında Zadeh küme elemanlarının üyelik derecelerinin 0 ile 1 arasında değişebileceğini ileri sürerek, kümeler teoreminde geniş uygulamaya sahip ve gerçek hayatta uyumlu olan bulanık küme teoremini geliştirmiştir.

4.3.1. Bulanık kümeler

Klasik kümelerde, bir elemandan diğerine geçiş keskin ve aniden değişen üyelik dereceleri ile olmaktadır. Bu durum Şekil 4.1.(a) 'da gösterilmiştir. Bulanık kümelerde ise bu geçiş yumuşak ve sürekli bir şekilde olmaktadır. Bu geçişte belirsizlik, hayal gücü, sezgi gibi görüşler rol oynar. Üyelik işlevi, bu tür görüşlerin kanşık bir şekilde elemanlara yayılmasını temsil eder. Buradan, bulanık kümenin değişik üyelik derecesinde elemanları olan bir topluluk olduğu sonucu çıkarılabilir. Klasik kümelerde bir elemanın kümeyle ait olabilmesi için üyelik derecesinin mutlaka 1'e eşit olması gerekirken, bulanık kümede nerede ise bütün elemanların değişik derecelerde kümeyle ait olmaları mümkündür.



Şekil 4.1. a) Klasik küme, b) Bulanık küme üyelik derecesi işlevleri.

Burada notasyon olarak **bulanık** kümeler büyük harflerin altına bir çizgi işaretinin konulması ile gösterilecektir. Genelde, bir klasik X kümesinin elemanları;

$X = \{x_1, x_2, x_3, \dots\}$ şeklinde gösterilirken, bunun bulanık gösterimi;

$$\underline{X} = \{\mu(x_1)/x_1 + \mu(x_2)/x_2 + \dots\} = \{\sum \mu(x_i)/x_i\} \quad (4.1)$$

şeklinde dir. Bulanık kümenin sürekli olması durumunda ise;

$$\underline{X} = \left\{ \int \mu(x)/x dx \right\} \text{ olur.} \quad (4.2)$$

Her iki notasyonda da bölüm işareti bölmeyi göstermez. Sadece alttaki gerçek sayıya yani küme elemanlarına üstteki üyelik derecesinin karşı geldiğini belirtir. Yukarıdaki denklemlerin ilkinde toplam işareti de bildiğimiz toplamı değil, küme elemanlarının topluluğunu ifade etmek içindir. İkinci notasyonda integral işareti de asla bilinen integral anlamına gelmez yine topluluğu gösteren bir işaret olarak algılanmalıdır. Örneğin sıcaklık kelimesinin İstanbul için bulanık küme olarak gösterilirse;

'sıcaklık' = { 0.1/18 + 0.3 /20 + 0.5/22 + 0.7/24 + 0.8/26 + 0.9/28 + 1.0/30 } şeklinde olabilir. 18°C' lik sıcaklığın bu kümeye üyelik derecesi 0.1 iken, 28°C' lik sıcaklığın bu kümeye üyelik derecesi 0.9' dur.

4.3.2. Bulanık kümeler ile işlemler

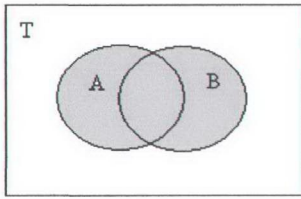
Yukarıda tanımlanan kümeler ile işlemlerin yapılabilmesi için bazı kurallara gerek vardır. Bunlar matematikteki toplama, çıkarma, bölme veya çarpma işlemlerine karşılık gelir. Buradan kümelerin birleştirilmesi, kesiştirilmesi, tamamlanması v.b., durumların elde edilmesi için ne gibi notasyonların kullanılması gerektiğine karar verilir.

Birleşim işlemi:

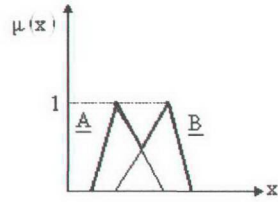
İki veya daha fazla alt kümenin bir temel küme içinde ortak noktalarının bulunması durumunda kümelerin birbirleri ile "VEYA" mantığı ile bağlanması sonucunda temel kümenin alt kümelerin en az biri tarafından işgal edilen yerleri anlaşılır. Bunun matematiksel gösterimi, klasik kümeler için U işareti, bulanık kümeler için ise V işareti ile olur.

AVB işlemi sonucunda, her bir kümeye ait elemanın A ve B deki üyelik derecelerinin en büyüğü (MAX) alınarak Şekil 4.2.(b)' deki gibi bir sonuç elde edilir.

$$\underline{AVB} = \text{MAX}\{\mu(x_1)/x_1, \mu(x_2)/x_2, \dots, \mu(x_n)/x_n\} \quad (4.3)$$



(a)

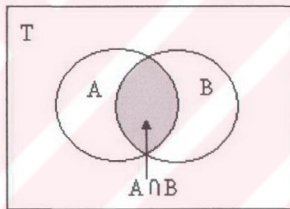


(b)

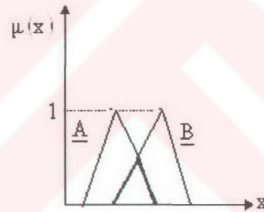
Şekil 4.2. (a) $(A \cup B)$ klasik kümelerde, (b) $(\underline{A} \cup \underline{B})$ bulanık kümelerde birleşme.

Kesişim işlemi:

iki alt kümenin "VE" ifadesi ile bir araya getirilmesi söz konusudur. Burada "VE" ifadesi ile, iki veya daha fazla alt kümede bulunan ortak elemanların oluşturdukları küme anlaşılır. Şekil 4.3.(a)'da A ve B gibi iki alt klasik kümenin bir notasyon ile A ve B gibi iki bulanık kümenin kesişiminin de \wedge işareti kullanılarak $\underline{A} \wedge \underline{B}$ şeklinde gösterilir.



(a)



(b)

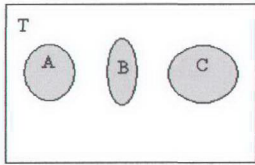
Şekil 4.3. (a) Klasik kümede kesişme, (b) Bulanık kümede kesişme.

Kesişim işlemi iki alt kümenin bir biri ile ne kadarlık bir ortak noktasının veya alanının bulunduğu anlaşılır. Bu ortak alana düşen olasılıklar hem A hem de B olayını temsil eden alt kümeleri sağlar. A ve B bulanık alt kümelerinin kesişiminin de üyelik derecelerinin en küçükleme (MIN) gerekir.

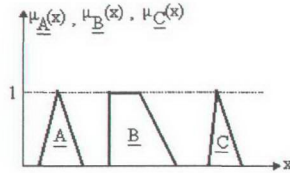
$$\underline{A} \wedge \underline{B} = \text{MİN}\{\mu(x_1)/x_1, \mu(x_2)/x_2, \dots\} \text{ olur.} \quad (4.4)$$

Bağdaşmayan kümeler:

İki veya daha fazla kümenin hiç ortak elemanının bulunmaması halinde bunlara bağdaşmayan alt kümeler adı verilir. Şekil 4.4.(a)' da, bağdaşmayan alt kümeler için klasik küme gösterimi, Şekil 2.4.(b)' de ise bulanık küme gösterimi yer almaktadır.



(a)



(b)

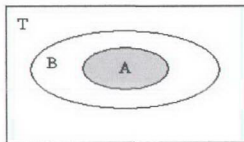
Şekil 4.4. (a) Bağdaşmayan klasik kümeler, (b) Bağdaşmayan bulanık kümeler.

Her iki tür küme için de;

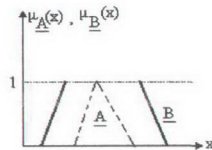
$$A \cap B \cap C = 0 \text{ veya } \underline{A} \wedge \underline{B} \wedge \underline{C} = 0 \text{ dir.} \quad (4.5)$$

Kapsama işlemi:

A ve B iki klasik küme ise, eğer A kümesinin her elemanı B kümesinin de elemanı ise, A kümesi B kümesinin bir alt kümesidir denir. Kümeler arası alt kümelik bağlantısı klasik kümeler için $A \subseteq B$ şeklinde ifade edilir. Benzer durum, bulanık kümeler içinse $\underline{A} \subseteq \underline{B}$ şeklinde yazılabilir. Şekil 4.5.(a)' da ve Şekil 4.5.(b)' de sırasıyla kapsayan klasik kümeler ve kapsayan bulanık kümeler gösterilmiştir.



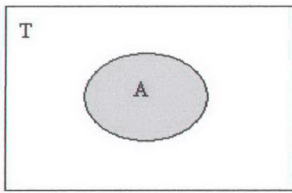
(a)



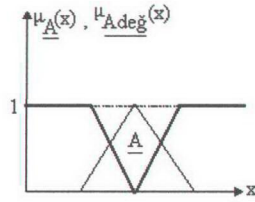
(b)

Şekil 4.5. (a) Kapsayan klasik kümeler, (b) Kapsayan Bulanık Kümeler.

Bir temel T kümesinin alt kümesi olan A klasik kümesinin tamamlayıcı kümesi A' nın elemanlarının dışında kalan temel kümenin tüm elemanlarını içeren küme olarak tanımlanır ve \bar{A} simgesi ile gösterilir. Genel olarak bir bulanık A alt kümesinin deęilini bulmak için A kümesi elemanlarının üyelik dereceleri 1 den çıkarılmaldır.



(a)



(b)

Şekil 4.6. (a) Klasik kümenin deęili, (b) Bulanık kümenin deęili.

4.4. Bulanık İlişkiler

İşlem olarak, \underline{A} bulanık kümesinden \underline{B} bulanık kümesine kartezyen çarpım ile birebir ilişkilendirme yapmak mümkündür. Bunun, klasik kümelerdeki işlemlerden tek farkı, işlem olarak deęil de, ancak üyelik derecelerinin 0 ile 1 arasında herhangi bir üyelik derecesini de içermesidir. Aynı notasyonlar geçerlidir. X x Y kartezyen uzayında, A ve B gibi iki tane kartezyen ilişki matrisinin bulunduğu varsayılmış olsun. Bunlar arasında deęişik küme işlemleri (birleşim, kesişim, deęili, içirme v.b) üyelik dereceleri göz önüne alınarak aşağıdaki gibi yapılır:

$$\mu_{A \cup B}(x, y) = \text{MAX}[\mu_A(x, y), \mu_B(x, y)] \quad (4.6)$$

$$\mu_{A \cap B}(x, y) = \text{MIN}[\mu_A(x, y), \mu_B(x, y)] \quad (4.7)$$

$$\mu_{A,deg}(x, y) = 1 - \mu_A(x, y) \quad (4.8)$$

$$A \subset B \Rightarrow \mu_A(x, y) \leq \mu_B(x, y) \quad (4.9)$$

\underline{A} ve \underline{B} bulanık kümelerinin X ve Y gibi uzaylarda tanımlandığı kabul edilirse. Bu iki bulanık kümenin çarpımı ile elde edilen R ilişki kümesi aslında $X \times Y$ klasik küme çarpımı içinde yer alır. Bunu notasyon olarak şöyle göstermek gerekirse

$$\underline{A} \times \underline{B} = R \subset X \times Y \quad (4.10)$$

olur. Üyelik dereceleri dikkate alınarak bu ilişki, kartezyen çarpımdan yararlanılarak aşağıdaki gibi yazılabilir.

$$\mu_R(x, y) = \mu_{\underline{A} \times \underline{B}}(x, y) = \text{MIN}[\mu_{\underline{A}}(x), \mu_{\underline{B}}(y)] \quad (4.11)$$

Bulanık ilişki, bir örnek üzerinde açıklanmasına devam edilirse; $X = \{x_1, x_2\}$, $Y = \{y_1, y_2\}$ ve $Z = \{z_1, z_2, z_3\}$ gibi üç kümenin $X \times Y$ ve $Y \times Z$ uzaylarında tanımlanan ilişki matrisleri sırası ile

$$R = \begin{array}{cc|c} 0.7 & 0.5 & x_1 \\ 0.8 & 0.4 & x_2 \\ \hline & & y_1 \quad y_2 \end{array} \quad S = \begin{array}{ccc|c} 0.9 & 0.6 & 0.2 & y_1 \\ 0.1 & 0.7 & 0.5 & y_2 \\ \hline & & & z_1 \quad z_2 \quad z_3 \end{array}$$

$$R = X \times Y, \quad S = Y \times Z, \quad T = X \times Z \quad (4.12)$$

olsun. Buradan $X \times Z$ uzayı üzerinde X ile Z arasındaki ilişkiyi belirten ilişki matrisi MAX-MIN küme işlemine göre ;

$$\mu_T(x_1, z_2) = \text{MAX}[\text{MIN}(0.7, 0.9), \text{MIN}(0.5, 0.1)] = 0.7 \quad (4.13)$$

ve diğer elemanların da benzer şekilde hesaplanması ile T ilişki matrisi;

$$T = \begin{array}{ccc|c} 0.7 & 0.6 & 0.5 & x_1 \\ 0.8 & 0.6 & 0.4 & x_2 \\ \hline & & & z_1 \quad z_2 \quad z_3 \end{array} \quad \text{olur.}$$

Benzer işlemlerin MAX çarpım kuralına göre yapılması ile de ;

4.6. Bulanık Çıkartım

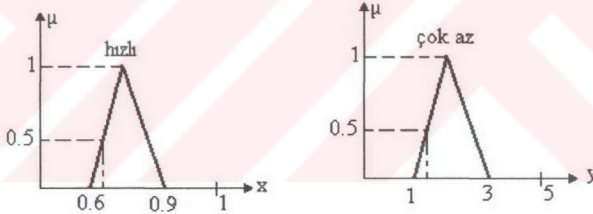
Bulanık çıkartım yardımı ile bulanık implikasyonda ki kural, bulanık olmayan bir giriş değeri için değerlendirilir. Örneğin, EĞER $x = \text{hızlı}$ O HALDE $y = \text{çok az}$ bulanık kuralı seçilirse, bu kuralın üyelik işlevi,

$$\mu_R = \text{MIN}(\mu_{\text{hızlı}}(x), \mu_{\text{çok az}}(y)) \quad (4.14)$$

şeklinde yazılır. Bulanık ilişkiyi yazabilmek için bulanık kümenin ilgili alanda amaca uygun şekilde öyle ayrıntılandırılmalıdır ki, ilişki matrisi elde edilsin. Şekil 4.7' de x için hızlı ve y için çok az ifadeleri gösterilmiştir. Burada, x ve y için destek noktalar seçilecek olursa,

$$x = \{0.5, 0.6, 0.7, 0.8, 0.9\}$$

$$y = \{1.0, 1.5, 2.0, 2.5, 3.0\} \text{ elde edilir.}$$



Şekil 4.7. x için hızlı, y için çok az kavramsal ifadeleri.

Bütün olası değer çiftleri için hesaplama yapılırsa, ilişki matrisi Tablo 4.2'deki gibi elde edilir.

Bulanık olmayan giriş değerinin $x = 0.6$ olduğu kabul edilsin. Bu değer, kuraldan sonuç çıkarabilmek için ilişkiye yerleştirilirse;

$$\mu_R(x', y) = \text{MIN}(\mu_{\text{hızlı}}(0.6), \mu_{\text{çok az}}(y)) = \text{MIN}(0.5, \mu_{\text{çok az}}(y)) \quad (4.15)$$

Tablo 4.2 X ve Y değerleri için ilişki matrisi.

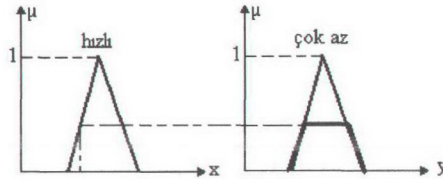
		y				
		1.0	1.5	2.0	2.5	3.0
x	0.5	0	0	0	0	0
	0.6	0	0.5	0.5	0.5	0
	0.7	0	0.5	1	0.5	0
	0.8	0	0.5	0.5	0.5	0
	0.9	0	0	0	0	0

elde edilir. Dikkat edilecek olursa, ilişki ifadesi 0.5 ile sınırlanmış sonuç bulanık kümesi $\mu_{\text{çok az}}(y)$ olur. Bu sonuç, çıkartım olarak ifade edilir. Grafik olarak ise sonuç bulanık kümesi, $\mu_{\text{çok az}}(y)$ bulanık kümesi, 0.5 yüksekliğinden kesilerek elde edilir. $x'=0.6$ giriş değeri için ilişki matrisinde çıkartım Tablo 4.3 'te gösterilmiştir.

Tablo 4.3. İlişki matrisi tablosunda $x' = 0.6$ için MAX-MIN çıkartımı.

		y				
		1.0	1.5	2.0	2.5	3.0
x	0.5	0	0	0	0	0
	0.6	0	0.5	0.5	0.5	0
	0.7	0	0.5	1	0.5	0
	0.8	0	0.5	0.5	0.5	0
	0.9	0	0	0	0	0

Şekil 4.11' de $x'=0.6$ için çıkartım işlemi grafiksel olarak gösterilmiştir.



Şekil 4.8. $x' = 0.6$ için MAX-MİN çıkartım işleminin grafiksel gösterimi.

Genel bir kural için, EĞER $x = A$ O HALDE $y = B$ bulanık olmayan bir giriş değerinin $x = x'$ olması halinde MAX-MIN çıkartımı;

$$\mu_B(y) = \mu_R(x', y) = \text{MIN} [\mu_A(x'), \mu_B(y)] \quad (4.16)$$

sonuç bulanık kümesini verir. Bu bağıntı, R ile verilen bir kuralın "EĞER $x = A$ O HALDE $y = B$ " bir giriş bulanık kümesi için nasıl değerlendirileceğini gösterir. Diğer bir çıkartım şekli ise, MAX-PROD çıkartımıdır. Bunun için kural bağıntısı:

$$\mu_R(x, y) = \mu_{\text{HIZLI}}(x) \cdot \mu_{\text{ÇOK AZ}}(y)$$

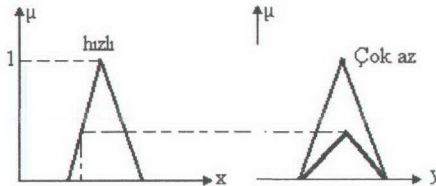
şeklinde. Yukarıdaki örnek için MAX-PROD çıkartımı kullanıldığında elde edilen çıkartım sonuçları Tablo 4.4'te gösterildiği gibidir.

Tablo 4.4 İlişki matrisi tablosunda $x' = 0.6$ için MAX-PROD çıkartımı.

		y				
		1.0	1.5	2.0	2.5	3.0
x	0.5	0	0	0	0	0
	0.6	0	0.25	0.5	0.25	0
	0.7	0	0.5	1	0.5	0
	0.8	0	0.25	0.5	0.25	0
	0.9	0	0	0	0	0

$x' = 0.6$ için ayrı bulanık sonuç kümesi,

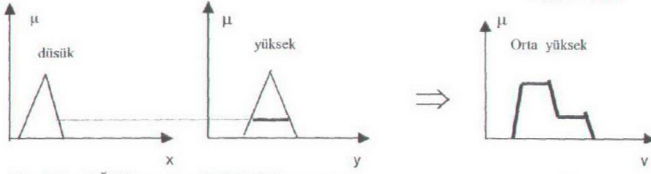
$A' = (0 \ 0.25 \ 0.5 \ 0.25 \ 0)$ şeklinde elde edilir.



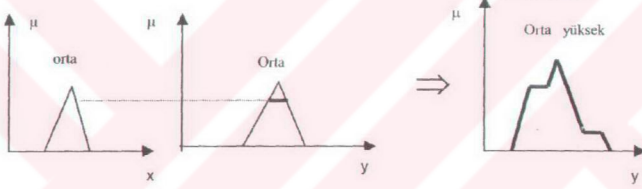
Şekil 4.9. MAX-PROD çıkartımı.

Çıkartım yöntemleri elbette ki bunlarla sınırlı değildir. Şekil 4.10 'da MAX-MİN, MAX-ROD, SUM-MİN ve SUM-PROD çıkartım yöntemlerinin iki kural için grafiksel karşılaştırılması verilmiştir.

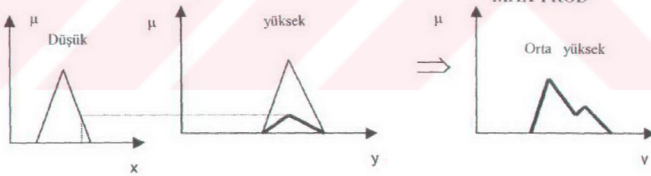
Kural 1: EĞER $x = \text{düşük}$ O HALDE $y = \text{yüksek}$.



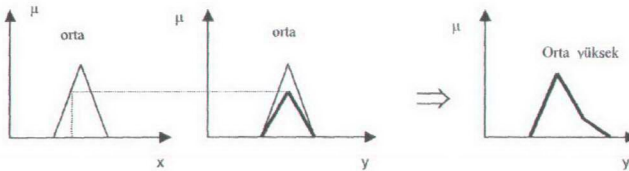
Kural 2: EĞER $x = \text{orta}$ O HALDE $y = \text{orta}$.



Kural 1: EĞER $x = \text{düşük}$ O HALDE $y = \text{yüksek}$.



Kural 2: EĞER $x = \text{orta}$ O HALDE $y = \text{orta}$.



Şekil 4.10. Farklı çıkartımların grafiksel karşılaştırılması.

4.7. Durulama Yöntemleri

Bir BMD' de durulama biriminin görevi basitçe, sonuçta elde edilen bulanık denetleme çıkışını, kesin bir denetleme çıkışına dönüştürmektir. Durulama yönteminin amacı elde edilen bulanık denetleme çıkışının olasılıksal dağılımını en iyi yansıtan kesin bir denetleme çıkışını bulmaktır. Ne yazık ki durulama yöntemini seçmenin sistematik bir prosedürü yoktur. Şu ana kadar yaygın olarak kullanılan yöntemler; max. yöntemi, maksimumların ortalaması ve ağırlık merkezi yöntemleridir.

Maximum yöntemi:

Bu yöntemle, sonuçta elde edilen bulanık denetleme çıkışını temsil eden bulanık kümenin maximum dereceli elemanı kesin denetleme çıkışı olarak kabul edilir. Örneğin sonuçta elde edilen bulanık denetleme çıkışı üçgen üyelik işlevine sahip bir bulanık küme ise, bu vektör üçgenin tepe noktasıdır.

Maksimumların ortalaması yöntemi:

Eğer birden fazla maximuma ulaşan nokta varsa bu durumda, bu noktaların ortalaması kesin denetleme çıkışı olarak kullanılır. Örneğin n tane maximuma ulaşan x_i noktası varsa,

$$U_0 = \sum_{i=1}^n (x_i / n) \quad (4.18)$$

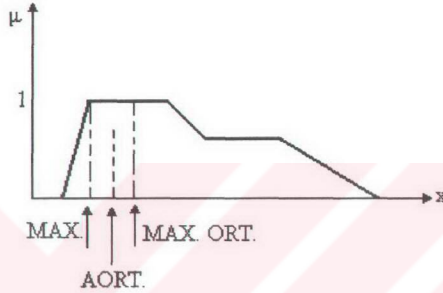
formülü ile sistemin denetleyici çıkışı hesaplanır.

Ağırlık merkezi yöntemi:

Durulama işlemcisi olarak çok yaygın kullanıma sahip bu yöntemle, elde edilen bulanık denetleme çıkışının olasılıksal dağılımının ağırlık merkezi kesin denetleyici çıkışı olarak kabul edilir.

$$U_0 = \frac{\sum_{i=1}^n \mu_c(x_i) x_i}{\sum_{i=1}^n \mu_c(x_i)} \quad (4.19)$$

Şekil 4.11 'de bu üç metoda göre belirli bir bulanık denetleme çıkışı için kesin denetleyici çıkışı değerleri gösterilmiştir.

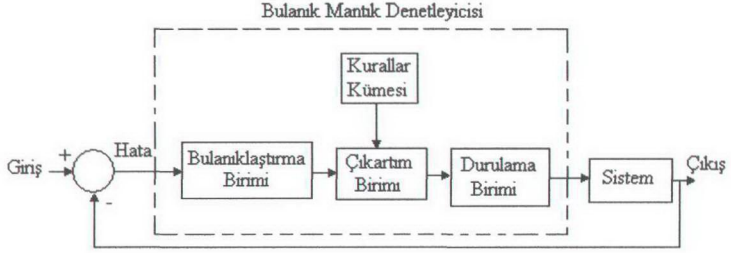


Şekil 4.11. Durulama Yöntemlerinin Karşılaştırılması.

Bu üç değişik durulama yöntemini detaylı olarak inceleyen araştırmacılar görmüşlerdir ki ağırlık merkezi yöntemi en iyi yöntemdir. Yine de maksimumların ortalaması yönteminin daha iyi geçici durum performansı gösterdiği gözlenmiştir [41],[56].

4.8. Bulanık Mantık Denetim Sistemi

Bulanık mantık denetleyicisinin (BMD) yapısı, klasik sistemlere göre insanın dilsel ve sezgisel doğasını modellemeye ve bu ortamlarda işlem yapmaya daha uygun olmasına dayanır ve klasik sistemlere göre insan mantığına daha yakındır. Bulanık mantık denetiminde sistemlerin kesin matematik tanımlanmasına gerek yoktur. Bulanık mantık kurallar kümesi yalnızca, insanın o konuyla ilgili deneyimleri ve sezgilerine dayalı olarak oluşturulur. Bu kurallar doğası gereği dile dayalıdır ve genellikle denetlenen sistemin durumlarını bulanık bölümlere ayırmak amacı ile çok yalın neden-sonuç ilişkileri kullanılır. Bir BMD' sini içine alan geri beslemeli denetim sisteminin blok şeması Şekil 5.1' de gösterilmiştir [5],[14],[36].



Şekil 4.12. Bulanık Mantık Denetim Sistemi.

4.8.1 Bulanıklaştırma birimi

Bulanıklaştırma birimi, gerçek fiziksel değerleri dil sözcüklerine dönüştürmektedir. Bu dönüştürme işlemi için küme tanımları verilir. Kural esasına dayalı dil sözcükleri pek çok, çok, hiç, pek az gibi bir küme biçiminde olabilir. Buna bazen yanılı kümesi denir. Daha sonra bu sözcüklerin 0 ile 1 arasında yer alan değerlerden ibaret, arı tanımları verilir. Örneğin, pek çok' un karşılığı (1), hiç' in karşılığı (0) ve orta değer olan çok' un karşılığı da 0.5 tir. Bulanıklaştırma birimi, her bir gerçek fiziksel veri için bütün dil sözcüklerinin üyelikini çıkarır.

Bulanık değişkenlere üyelik değerleri veya işlevleri atamanın birçok yolu vardır. Bu atama işlemleri, sezgisel veya algoritmik tabanlı veya mantık işlemleri şeklinde olabilir. Aşağıda, literatürde tanımlanmış bazı üyelik değeri veya işlevi atama metotları yer almaktadır [62].

- Sezgi ve akıl yolu ile,
- Çıkartım sonucu bağlama,
- Seçim, anket, tercih bilgileri kullanma,
- Yapay sinir ağı ve genetik algoritmalar,
- Tümevarım,
- Bulanık istatistik.

4.8.2. Bilgi tabanı

Bir BMD' nin bilgi tabanı, veri tabanı ve kurallardan oluşur. Veri tabanının işlevi, bulanıklaştırma birimi, kurallar ve durulama biriminin düzgün işleyebilmesi için gerekli olan bilgiyi hazırlamaktır. Bu bilgiyi şunlar oluşturur.

- Sistem durum ve denetleme çıkış değişkenlerini ifade eden bulanık kümeler (üyelik işlevleri).
- Normalizasyon / denormalizasyon (ölçekleme) faktörleri ile birlikte fiziksel değerler ve onların normalize edilmiş değerleri.

Sürekli sistemler için veri tabanı tasarlanırken şu parametreler belirlenmelidir,

- Üyelik işlevlerinin (UF) belirlenmesi.
- Ölçekleme faktörlerinin (ÖF) belirlenmesi.

Kural tabanının işlevi, uzman bir kişinin bir sistemi denetlerken izlediği yöntemleri "Eğer (sistem durumu) o halde (denetleme çıkışı)" formundaki kurallar yardımı ile yapılandırılmaktadır.

4.8.2.1. Üyelik işlevleri

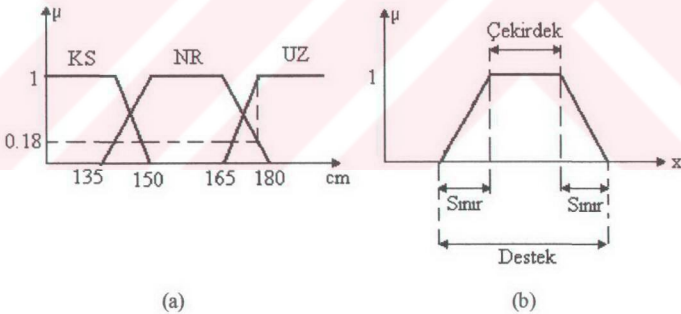
Bulanık kümeler, $\mu_A(x)$ üyelik işlevi ile temsil edilmektedir, $\mu_A(x)$, üyelik işlevindeki bir x noktasının, A bulanık kümesindeki üyelik derecesidir. $\mu_A(x) = 1$ konumu, x ' in A bulanık kümesinin kesin bir elemanı olduğunu tanımlamaktadır. Benzer şekilde, $\mu_A(x) = 0$, x ' in A bulanık kümesinin dışında olduğunu göstermektedir. $0 < \mu_A(x) < 1$ arasındaki her değer, x ' in A bulanık kümesindeki üyeliğinin belirsiz değerleridir. Bu yüzden kesin olmayan büyüklükler, üyelik işlevleri tarafından belirtilmiş bulanık kümeler ile temsil edilmektedirler [57].

Boy, Şekil 4.13' de gösterildiği gibi KS (kısa), NR (normal), UZ (uzun) olarak üç bulanık kümeye ayrılırsa; 180 cm. boyundaki bir kişi, "uzun" bulanık kümesinin tam üyesi, "normal" bulanık kümesinin 0.18 oranında üyesi, "kısa" bulanık kümesinin ise

üyesi olmayacaktır. Buradan anlaşılacağı gibi, her bir küme için üyelik derecesi, üyelik kümesinin temsil edildiği işlevin şekline bağlı olmaktadır.

Bulanık küme içerisindeki bilgiler üyelik işlevleri tarafından temsil edildiği için üyelik işlevlerinin özellikleri önem taşımaktadır. Yapısal olarak bakıldığında, üyelik işlevleri üç bileşene sahiptir. (Şekil 4.13)

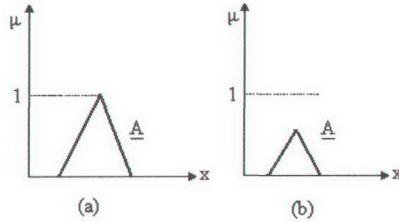
Üyelik işlevinin çekirdeği, uzay içerisindeki bulanık kümenin tam üyelik gösterdiği bölge olarak tanımlanmaktadır. Çekirdek, X uzayının $\mu_A(x) = 1$ eşitliğini sağlayan elemanlarına karşılık gelen bölgedir. Üyelik işlevinin desteği, bulanık küme içerisindeki, üyeliği 0 olmayan bölge olarak tanımlanmaktadır. Destek, X uzayının $\mu_A(x) > 0$ eşitliğini sağlayan elemanlarına karşılık gelen bölgedir. Üyelik işlevinin sınırları ise bulanık küme içerisindeki 0 ve tam üyeliğe sahip olmayan bölge olarak tanımlanmaktadır. Sınırlar, X uzayının $0 < \mu_A(x) < 1$ eşitsizliğini sağlayan elemanlarına karşılık gelen bölgedir.



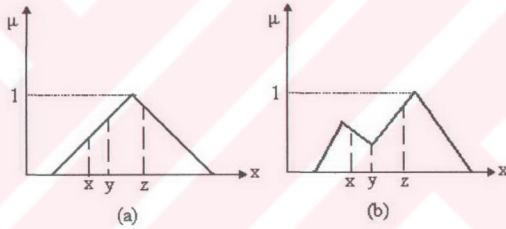
Şekil 4.13. (a) Üyelik işlevleri, (b) Üyelik işlevinin çekirdeği, desteği, sınırları.

Üyelik işlevi içerisinde, en az bir elemanın üyelik derecesi 1 olan bulanık küme, "normal" bulanık küme denir (Şekil 4.14.a). Bulanık küme içerisinde, sadece bir elemanın üyelik derecesi 1 ise, bu elemana "prototip eleman" denir. Bir bulanık kümenin yüksekliği, üyelik işlevinin maksimum değeridir. Eğer bulanık kümenin "konveks" bulanık küme üyelik yüksekliği 1'den küçük ise "normal olmayan" bulanık küme

denir (Şekil 4.14.b). Bir işlevin üyelik dereceleri monoton olarak artan, veya monoton olarak azalan, veya önce monoton artan sonra monoton azalan işlevleri için tanımlanmaktadır (Şekil 4.15).

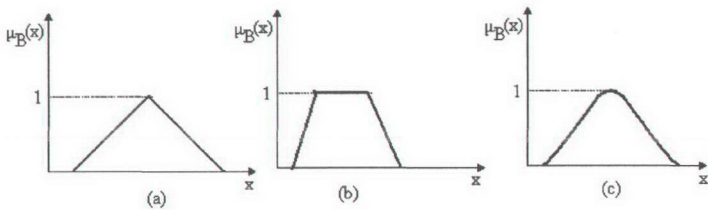


Şekil 4.14. (a) Normal bulanık küme, (b) Normal olmayan bulanık küme.



Şekil 4.15. (a) Konveks bulanık küme, (b) Normal olmayan bulanık küme.

Bulanık denetlemede en çok kullanılan üyelik işlevleri; üçgen, trapez ve çan eğrisi şeklindeki üyelik işlevleridir. Bunlar Şekil 4.16' da gösterilmiştir.



Şekil 4.16. (a) Üçgen ÜF' u, (b)Trapez ÜF' u, (c) Çan eğrisi ÜF' u

4.8.2.2. Ölçekleme faktörlerinin seçilmesi

Normalize edilmiş bir bölge içerisindeki sistem durum değişkenlerinin fiziksel değerleri, normalize edilmiş bir aralığa taşınmak istenirse ölçek dönüştürme (scale transformation) işlemine gerek duyulur. Buna giriş normalizasyonu denir. Denetleyici çıkış değişkenlerinin, normalize edildikleri aralıklardan gerçek fiziksel değer aralıklarına dönüştürülmesi işlemine ise çıkış denormalizasyonu denir. Bu tür ölçek dönüştürme işlemleri, sürekli ve aykır sistemlerin her ikisi için de gereklidir.

Giriş normalizasyonu ve çıkış denormalizasyonu şeklinde tanımlanan ölçekleme faktörleri (ÖF), klasik denetleyicilerdeki kazanç katsayılarına benzer bir rol oynar. Dolayısı ile denetleyicinin kararlılığı ve performansı üzerindeki etkileri önemlidir.

Örneğin PI tipi BMD için;

$$N_u \Delta u(k) = F (N_e \cdot e(k), N_{\Delta e} \cdot \Delta e(k)) \quad (4.20)$$

yazılabilir. Burada N_e , $N_{\Delta e}$ ve N_u sırasıyla e , Δe ve Δu için ölçekleme faktörleridir ve F ise BMD' yi ifade eden doğrusal olmayan bir işlevdir. Klasik PI tipi denetleyicilerde F işlevi, e , Δe ve Δu ' ya bağlı doğrusal bir işlevdir ve bu işlev K_p ve K_I kazanç katsayılarına karşılık gelir.

Ölçekleme faktörlerinin hesaplanmasına ilişkin iki temel yaklaşım vardır, (1) sezgisel, (2) analitik. İlk yaklaşım, deneme yanılma şeklinde bir yöntemdir. BPID' de performans kriterleri aşağıdaki gibi tanımlanabilir:

- Aşım da (overshoot) istenilen değer : (OV_{id}),
- Yükselme-zamanı için istenilen değer : (RT_{id}),
- Osilasyon genliklerinde istenilen değer : (OSC_{id}).

Bu durumda performans ölçümleri;

$$\Delta OV = OV - OV_{id} \quad (4.21)$$

$$\Delta RT = RT - RT_{id} \quad (4.22)$$

$$\Delta OSC = OSC - OSC_{id} \quad (4.23)$$

olarak elde edilirler. Burada OV, RT ve OSC sırası ile aşım, yükselme zamanı ve osilasyon genliklerinin gerçek değerleridir.

Sezgisel yöntemde, kurallar kullanılarak ölçekleme faktörlerinin ayarlanması şöyledir;

"Eğer (performans değişkeninin değeri) = (değer) o halde $\Delta N_e = (\text{değer})$ "

"Eğer (performans değişkeninin değeri) = (değer) o halde $\Delta N_{\Delta e} = (\text{değer})$ "

Kurallardaki (değer) ile dilsel ifadeler kastedilmektedir. Bu şekilde kurallar oluşturulduktan sonra BMD 'nin gerçek sistem ile bağlantısı sağlanarak denetleme çevrimi kapatılır. Ve ölçekleme faktörleri her iterasyon' da aşağıdaki gibi yenilenir.

$$N_e(i+1) = N_e(i) + \Delta N_e \quad (4.24)$$

$$N_{\Delta e}(i+1) = N_{\Delta e}(i) + \Delta N_{\Delta e} \quad (4.25)$$

Bu iterasyonlar, istenilen performans değerleri oluşuncaya kadar devam eder. Hata ve hatanın değişiminin her biri için ölçekleme faktörlerinin değiştirilmesiyle, gerçekte bu özel sistemin durum değişkenlerinin ağırlıkları değiştirilmiş olur. Örneğin, sistem cevabı istenilenden yavaş ise ΔRT negatif, bu durumda hatanın sistem performansı üzerindeki etkisini artırmak gerekir. Bu ise N_e ölçekleme faktörünü artırmakla olur. Benzer şekilde, eğer osilasyonların genliği istenilenden büyükse bu durumda hatanın değişiminin (Δe) sistem performansı üzerindeki etkisini azaltmak gerekir. Bu ise $N_{\Delta e}$ 'yi azaltmakla yapılır [68], [69].

Ölçekleme faktörlerinin türetilmesinde ikinci yöntem, denetlenen sistemin kapalı çevrim cevabı ile ölçekleme faktörleri arasında analitik bir ilişki kurmaya dayanır. Bu durumda denetlenmekte olan sistemin bir klasik modeli mevcuttur ve BMD' nin doğrusal olmayan transfer elemanı (TE) gibi davrandığı kabul edilir.

4.8.3. Kural tabanı

Kural tabanını oluşturan parametreler ifade edilecek olursa:

- Sistem durum ve denetleyici çıkış değişkenleri.
- Kuralları "koşul" ve "sonuç" kısımlarının içerikleri.
- Sistem durum ve denetleyici çıkış değişkenleri için belirlenmiş bulanık ifade kümeleri
- Kurallar kümesinin türetilmesi dir.

4.8.3.1. Değişkenlerin belirlenmesi ve kuralların içerikleri

P, PD, PI veya PID tipi BMD tasarımı yapılırken her bir kural için "eğer" ve "o halde" kısımlarının içerikleri (sistem durum ve denetleyici çıkış değişkenleri) belirlenmelidir. Kuralların, "eğer" kısmının içeriğini oluşturan sistem durum değişkenleri şunların arasından seçilir,

- Hata, (e)
- Hatanın değişimi (Δe)
- Hataların toplamı (δe)

Kuralların, "o halde" kısmının içeriğini oluşturan denetleyici çıkışı, (sistem girişi) şunların arasından seçilir,

- Denetleyici çıkışının değişimi (Δu)
- Denetleyici çıkışı (u)

Ayrıca, bu değerlerin klasik denetleyiciler ile denetlemede karşılıkları aşağıdaki gibi yazılabilir.

$$e(k) = y_{id} - y(k) \quad (4.26)$$

$$\Delta e(k) = e(k) - e(k-1) \quad (4.27)$$

$$\Delta u(k) = u(k) - u(k-1) \quad (4.28)$$

Burada;

- y_{id} : İstenilen sistem çıkışının değeridir.
 $e(k)$: k. Örnekleme anındaki hata değeridir.
 $\Delta e(k)$: k. Örnekleme anındaki hatadaki değişme miktarıdır.
 $\Delta u(k)$: k. Örnekleme anındaki denetleyici çıkışındaki değişme miktarıdır.
 $u(k)$: k. Örnekleme anındaki denetleyici çıkışını ifade eder.

BPDD : Klasik PD tipi denetleyiciler için, denetleyici çıkışının ifadesi, eşitlik (4.28) deki gibidir.

$$U = K_p \cdot e + K_D \cdot de/dt \quad (4.29)$$

Burada K_p ve K_D sırasıyla oransal ve türev kazanç katsayılarıdır. Buna göre bir PD tipi BMD' nin (BPDD) kuralları, sembolik olarak şöyle ifade edilebilir :

" eğer $e(k) = (\text{uygun değer})$ ve $\Delta e(k) = (\text{uygun değer})$ o halde $u(k) = (\text{uygun değer})$ "

Burada "uygun değer" ifadesi ile bulanık ifadeler kümesinin pozitif, pozitif küçük, negatif, negatif büyük v.b. şeklindeki elemanlarından herhangi biri kastedilmektedir.

BPID: Klasik PI tipi denetleyiciler için, denetleyici çıkışının ifadesi, eşitlik (4.30) daki gibidir.

$$u = K_p \cdot e + K_I \cdot \int e \cdot dt \quad (4.30)$$

Burada K_p ve K_I sırasıyla oransal ve integral kazanç katsayılarıdır. (4.30) daki eşitliğin her iki tarafının türevi alınırsa ;

$$du/dt = K_p \cdot (de/dt) + K_I \cdot e \quad (4.31)$$

elde edilir. Bu durumda PI tipi BMD nin kurallarının yapısı sembolik olarak şöyledir.

" eğer $e(k) = (\text{uygun değer})$ ve $\Delta e(k) = (\text{uygun değer})$ o halde $\Delta u(k) = (\text{uygun değer})$ "

Bu durumda, $u(k)$ denetleyici çıkışını elde etmek için denetleyici çıkışındaki değişme miktarı ($\Delta u(k)$), $u(k-1)$ 'e eklenir.

$de/dt \rightarrow \Delta e$ ve $du/dt \rightarrow \Delta u$ ise

$$u(k) = \Delta u(k) + u(k-1) \quad (4.32)$$

P tipi BMD: Bir P tipi BMD 'nin kural yapısı sembolik olarak :

" eğer $e(k) = (\text{uygun değer})$ o halde $u(k) = (\text{uygun değer})$ " şeklindedir.

BPIDD: PID tipi klasik denetleyiciler için denetleyici çıkışının ifadesi eşitlik (4.33) deki gibidir.

$$u = K_p \cdot e + K_D \cdot de/dt + K_I \int e \cdot dt \quad (4.33)$$

PID tipi BMD (BPIDD) için ayrıık zamanda sistem durum değişkenlerinden biri olan "hataların toplamı" şöyle ifade edilir:

$$\delta e(k) = \sum_{i=1}^{k-1} e(i) \quad (4.34)$$

Bu durumda BPIDD' nin kurallarının sembolik ifadesi:

" eğer $e(k) = (\text{uygun değer})$ ve $\Delta e(k) = (\text{uygun değer})$ ve $\delta e(k) = (\text{uygun değer})$ o halde $u(k) = (\text{uygun değer})$ " şeklindedir [60].

4.8.3.2. Bulanık ifade kümelerinin belirlenmesi

Bulanık ifadeler kümesinin dilsel elemanları, işaret-büyüklik veya miktar-büyüklik şeklinde ifade edilirler. Örneğin, negatif- büyük veya çok küçük gibi. PI tipi BMD için bulanık ifadeler kümesinin elemanlarının sürekli sistemler için nasıl belirlendiği, aşağıda maddeler halinde açıklanmaktadır.

- Hatanın (e) negatif işaretli olması durumunda, sistem çıkışı (y), istenilen sistem çıkış değerinden (y_i) büyüktür. Yani;

$e(k) = y_{id}-y(t) < 0$ dir. $y_{id} - y$ farkının miktar, negatifliğin büyüklüğünü belirler. Diğer taraftan, hatanın pozitif olması durumunda, sistem çıkışı y, istenilen sistem çıkış değerinden küçük veya sıfır civarındadır. Bu pozitif işaretin büyüklüğünü ise ($y_{id}-y$) farkının miktar belirler [71],[74].

- Bir başka sistem durum değişkeni olan hatadaki değişimin (Δe) negatif işaretli olması, t anındaki hatanın, (t-1) anındaki hatadan küçük olduğuna işaret eder. ($e(t)-e(t-1)<0$)

$e(t) = y_{id}-y(t)$ ve $e(t-1) = y_{id}-y(t-1)$ ise,

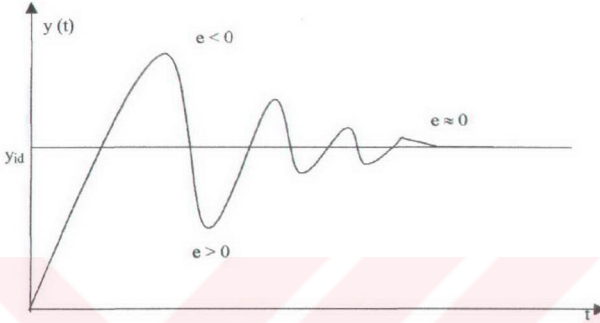
$\Delta e(t) = e(t)-e(t-1) = -y(t) + y(t-1)$ dir.

Bu durumda hatanın değişiminin negatif olması, sistemin çıkışının her bir t anında arttığına işaret eder. Δe 'nin negatifliğinin büyüklüğünü, $-y(t) + y(t-1)$ toplamı belirler. Benzer şekilde, $\Delta e'$ nin pozitif işaretli olması ise sistemin çıkışının zamanla azaldığını gösterir. $\Delta e'$ nin pozitifliğinin büyüklüğünü ise, $y(t-1) - y(t)$ farkı belirler.

Hatanın dilsel ifadesinin 'sıfır' olması, sistem çıkışının set noktası civarında olduğunu gösterir. $\Delta e'$ nin "sıfır" olması ise, sistem çıkışında dikkate değer bir değişimin olmadığına işaret eder. ($y(t-1) - y(t) \approx 0$)

Denetleme çıkış değişkeni olan u(t) 'nin "pozitif olması, t anındaki denetleyici çıkışının, (t-1) anındaki denetleyici çıkışından büyük olduğuna işaret eder ($u(t)-u(t-1) > 0$).

"pozitifliğin büyüklüğünü, bu fark belirler. Benzer mantıkla, $\Delta u(t)$ ' nin dilsel ifadesinin "negatif işaretli olması, denetleme çıkışı $u(t)$ ' nin her bir t anında azaldığına işaret eder. Negatifliğin büyüklüğü, $u(t) - u(t-1)$ farkına göre belirlenir (Şekil 4.17).

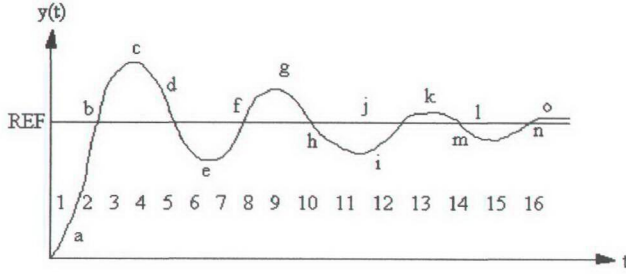


Şekil 4.17. Bir sistemin cevabının, olması istenilen cevap ile karşılaştırılması.

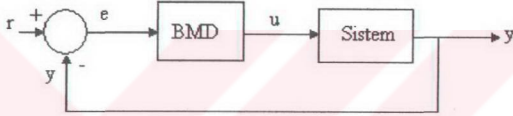
4.8.4. Bulanık denetleme kurallarının oluşturulması

Bulanık denetleme kurallarının oluşturulmasında iki genel metot vardır. Birincisi sezgisel metottur. Bu yöntemle denetlenen sistemin davranışına bağlı olarak bir dizi bulanık denetleme kuralı elde edilir. Elde edilen bu denetleme kuralları, istenilen performans sağlanıncaya kadar değiştirilerek uygun denetleme kuralları türetilbilir. Denetleyici kurallarının türetilmesi için sistem davranışı hakkında nitelikli bilgiye ihtiyaç vardır [58].

İkinci yaklaşım, deterministik yaklaşımdır. Bu yaklaşımda bulanık denetleme kurallarının dilsel yapısı ve parametreleri sistematik ve deterministik bir biçimde istenilen performansı sağlayacak şekilde belirlenir. Şekil 4.18 de denetlenecek bir sistemin, bir referans (REF) girişine verdiği cevap, Şekil 4.19 da ise kapalı çevrim denetim sistemi gösterilmiştir [75]



Şekil 4.18. Birim basamak sistem cevabı.



Şekil 4.19. Kapalı Çevrim Bulanık Denetleme Sistemi.

BMD 'nin giriş değişkenleri, hata (e) ve hatanın değişimi (Δe) dir. BMD 'nin çıkışı ise sistem girişindeki değişimdir. Giriş ve çıkış değişkenlerinin her birinin bulanık ifade kümelerinin üç elemanlı olduğu varsayılın. Bunlar, negatif, sıfır, pozitif olsun. Bulanık denetleme kuralları için bir prototip aşağıda verilmiştir. Birim basamak cevabı bölümlere ayrılmıştır.

Örneğin 1. bölge (a-b arası) yükselme zamanında etkili, 2. bölge (b-c arası) aşımında etkilidir.

$$\text{Hata} = e = y_{id} - y \quad (4.35)$$

şeklinde tanımlandığından 1. bölgede $e = \text{Pozitif}$ $\Delta e = \text{Negatif}$ dir. Bu yüzden hatanın azalması için $\Delta u = \text{Pozitif}$ olmalıdır. 2. bölgede $e = \text{Negatif}$ ve $\Delta e = \text{Negatif}$ dir, bu yüzden $\Delta u = \text{Negatif}$ olmalıdır. Bu mantık her bölge için uygulanabilir. Yukarıda anlatılanlar, bulanık mantık kuralı formuna sokulursa;

$K_1 = \text{Eğer } e = \text{Pozitif ve } \Delta e = \text{Negatif ise } \Delta u = \text{Pozitif}$

$K_2 = \text{Eğer } e = \text{Negatif ve } \Delta e = \text{Negatif ise } \Delta u = \text{Negatif}$

şeklini alır. Şimdi buna ait prototip olarak bulanık denetleme kuralları oluşturulabilir.

Tablo 4.5. Bulanık Denetleme Kurallarının Prototipi. (Negatif, Sıfır, Pozitif İfade kümeleri ile).

Kural no	e	Δe	Δu	Referans nokta
1	P	S	P	a, e, i
2	S	N	N	b, f, j
3	N	S	N	c, g, k
4	S	P	P	d, h, l
5	S	S	S	istenilen nokta

Tablo 4.6. Uygun Kuralların Eklenmesiyle Elde Edilen Bulanık Denetleme Kuralları.

Kural no	e	Δe	Δu	Referans nokta
6	P	N	P	1. Bölge (yükselme zamanı)
7	N	N	N	2. bölge ve 6. bölge (aşım)
8	N	P	N	3. ve 7. bölgeler.
9	P	P	P	4. ve 8. bölgeler.
10	P	N	S	9. bölge.
11	N	P	S	11. bölge

Tablo 4.7. Bulanık Denetim Kurallarının Prototipi İfade kümesi (NB, NO, NK, S, PK, PO, PB).

Kural no	e	Δe	Δu	Referans Nokta
1	PB	S	PB	a
2	PO	S	PM	e
3	PK	S	PS	I
4	S	NB	NB	b
5	S	NO	NO	f
6	S	NK	NK	J
7	NB	S	NB	c
8	NO	S	NO	g
9	NK	S	NK	k
10	S	PB	PB	d
11	S	PO	PO	h
12	S	PK	PK	l
13	S	S	S	Referans noktası

Daha iyi denetleme performansı, daha fazla bulanık bölümlenme ile elde edilebilir. Örneğin ifade kümesi {Negatif Büyük (NB), Negatif Orta (NO), Negatif Küçük (NK), Sıfır (S), Pozitif Küçük (PK), Pozitif Orta (PO), Pozitif Büyük (PB)} olarak kabul edilirse prototip olarak elde edilen bulanık kuralları aşağıda verilmiştir. | N, S, P } ifade kümesi ile elde edilen denetleme kuralları, e, Δe ve Δu 'nun sadece işaretleriyle ilgilenmektedir. Buna karşın bu değişkenlerin de denetleme açısından önemi vardır. Bu açıdan bakıldığında ikinci ifade kümesi bize değişkenleri nicelik olarak ta değerlendirme imkanı vermektedir [58],[75],[76],[78].

BÖLÜM 5. BENZEŞİM SONUÇLARI

5.1 Giriş

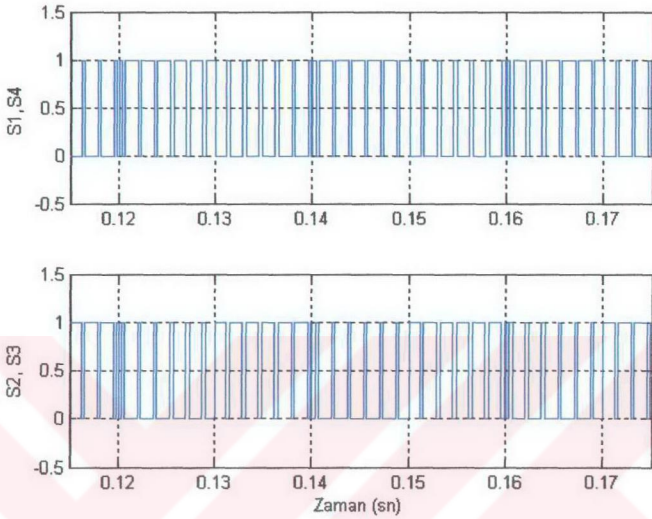
Denetim sistemlerinin tasarımında, daha önce belirtildiği gibi sistemin dinamik davranışlarının bilinmesi oldukça önemlidir. Bu davranışların, programlama dilleri veya hazır paket programları kullanarak elde edilmesi oldukça kolaydır. Benzeşim sonuçlarının, gerçek sonuçlara çok yakın olması kurulan modele veya yazılan programa bağlıdır.

Bu tezde, bir fazlı eviricilerin bilgisayar ortamında değişik anahtarlama durumları için benzeşimlerinin yapılması için Mathworks firmasının Matlab paket programı kullanılmıştır. Matlab programının içinde yer alan Simulink programı ile fiziksel sistemlerin bilgisayar ortamında benzeşimi kolaylıkla yapabildiği gibi pratikte alınan gerçek sonuçlara yakın değerler göstermektedir. Bu da programın kullanım alanını genişletmiştir. Değişik anahtarlama yapıları için yapılan benzeşim sonuçları aşağıda verilmektedir.

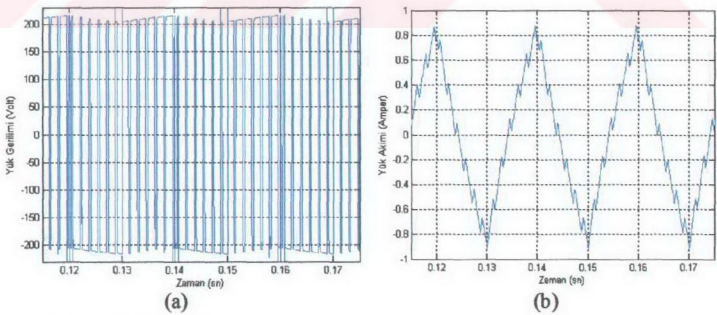
5.2 Kare Dalga DGA

Kare dalga DGA, istenen çıkış frekanslı kare dalga ile yüksek frekanslı simetrik üçgen dalgayı karşılaştıran bir denetim yöntemidir. En basit DGA yöntemidir. Denetim düzeneğinin kurulmasının kolay olmasına rağmen kullanım alanı git gide azalmıştır, çünkü denetimini yaptığı eviricinin çıkış sonuçları günümüz teknolojisine cevap veremeyecek düzeydedir. Aşağıdaki benzeşim sonuçlarından da görülmüştür ki diğer denetim yöntemlerine göre en verimsiz sonuçlar vermiştir. Eviricide yer alan yarı iletken anahtarların kare dalga tetiklenmesi ile elde edilen benzeşim sonuçları ve harmonikler aşağıda verilmektedir.

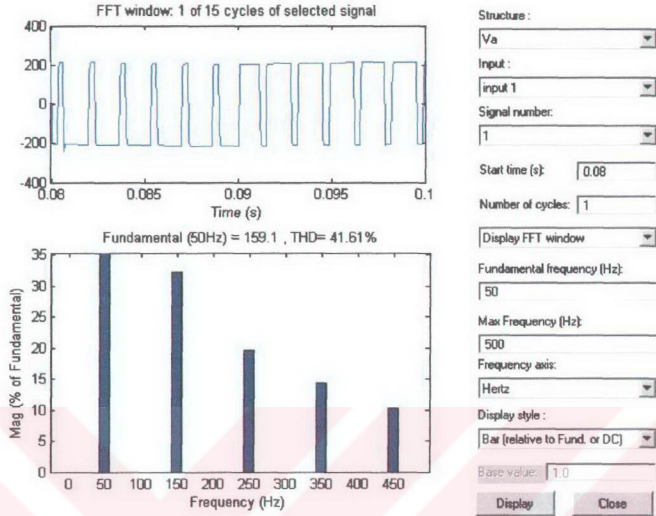
5.2.1 Taşıyıcı işaretin kare dalganın 12 katı olma durumu



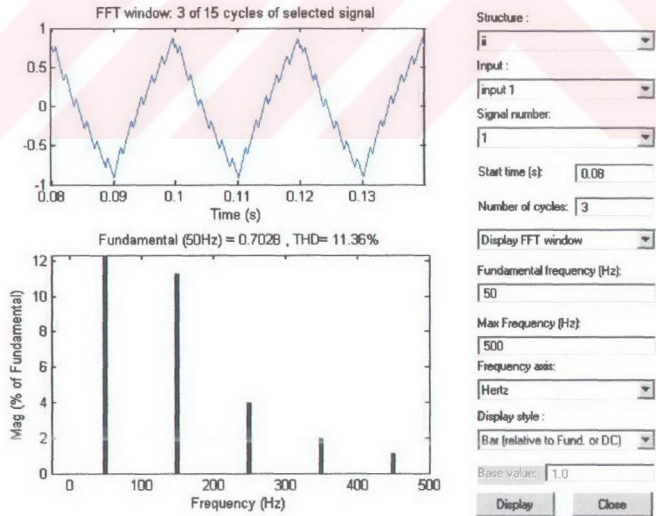
Şekil 5.1. Anahtarlama işaretlerinin zamana bağlı değişimi.



Şekil 5.2. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.

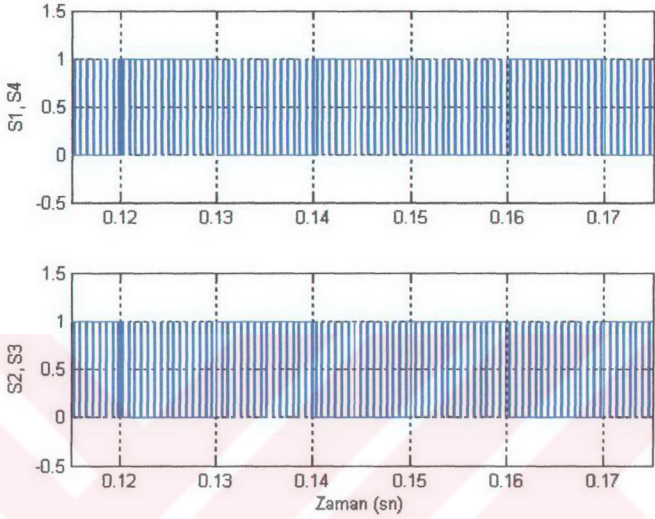


Şekil 5.3. Yük gerilimi üzerindeki harmonikler.

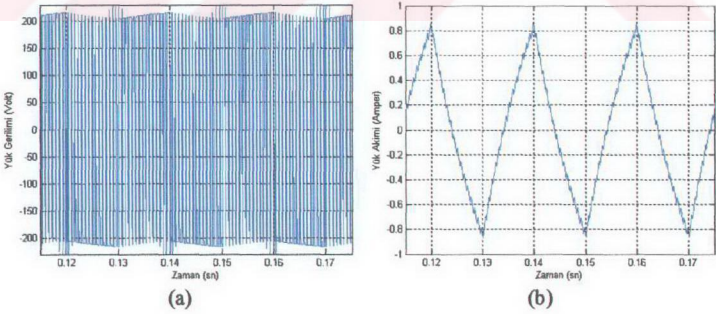


Şekil 5.4. Yük akımı üzerindeki harmonikler.

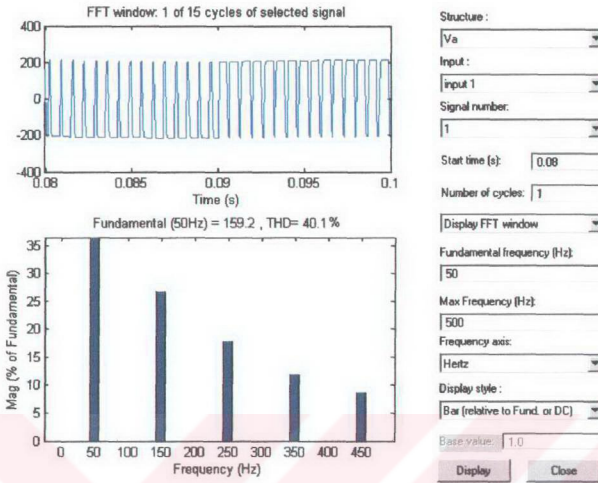
5.2.2 Taşıyıcı işaretin kare dalganın 30 katı olma durumu



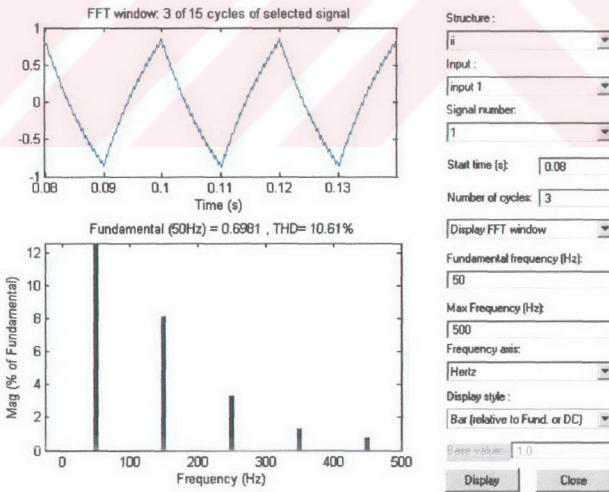
Şekil 5.5. Anahtarlama işaretlerinin zamana bağlı değişimi.



Şekil 5.6. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.

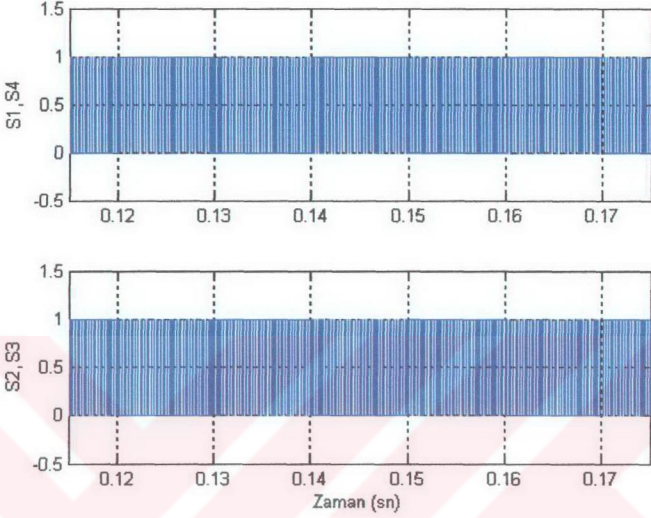


Şekil 5.7. Yük gerilimi üzerindeki harmonikler.

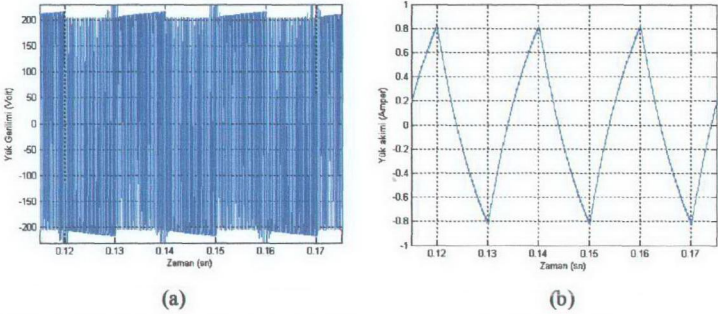


Şekil 5.8. Yük akımı üzerindeki harmonikler.

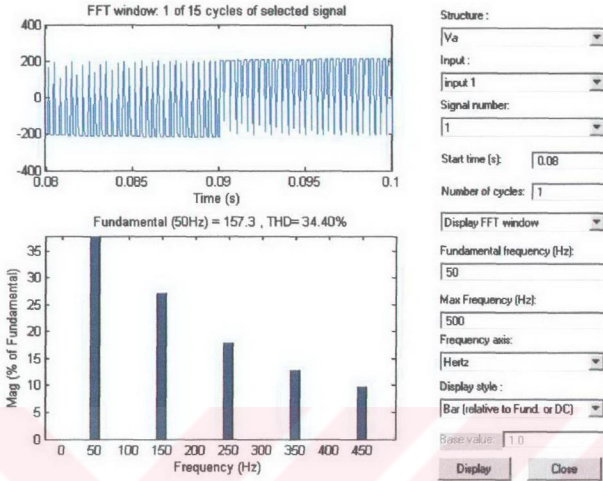
5.2.3 Taşıyıcı işaretin kare dalganın 60 katı olma durumu



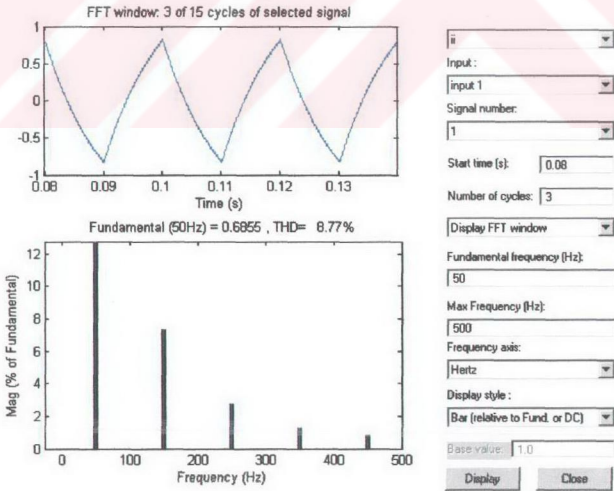
Şekil 5.9. Anahtarlama işaretlerinin zamana bağlı değişimi.



Şekil 5.10. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.



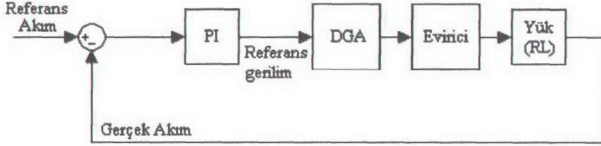
Şekil 5.11. Yük gerilimi üzerindeki harmonikler.



Şekil 5.12. Yük akımı üzerindeki harmonikler.

5.3. Sinüsoidal DGA

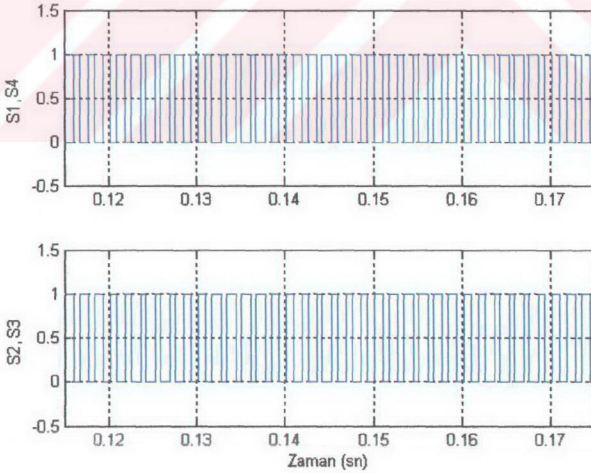
Yaygın olarak kullanılan sinüsoidal DGA anahtarlama bir fazlı eviricinin PID ile denetimine ilişkin blok şeması Şekil 5.13 'te verilmektedir ($K_p=2$, $K_I=0.5$, $K_D=0$).



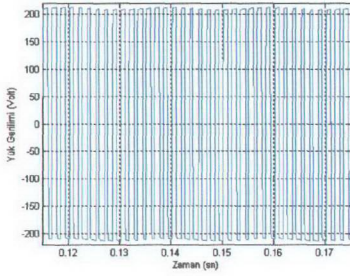
Şekil 5.13. Bir fazlı PID denetimli sinüsoidal DGA evirici .

Yukarıdaki sistemin çalıştırılması ile edilen benzeşim sonuçları ve harmonikler aşağıda verilmektedir.

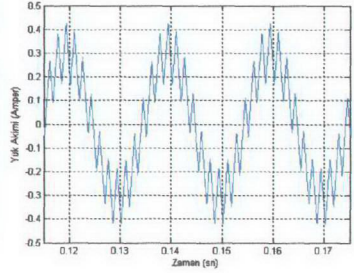
5.3.1. Taşıyıcı işaretin referans işaretin 12 katı olma durumu



Şekil 5.14. Anahtarlama işaretlerinin zamana bağlı değişimi.

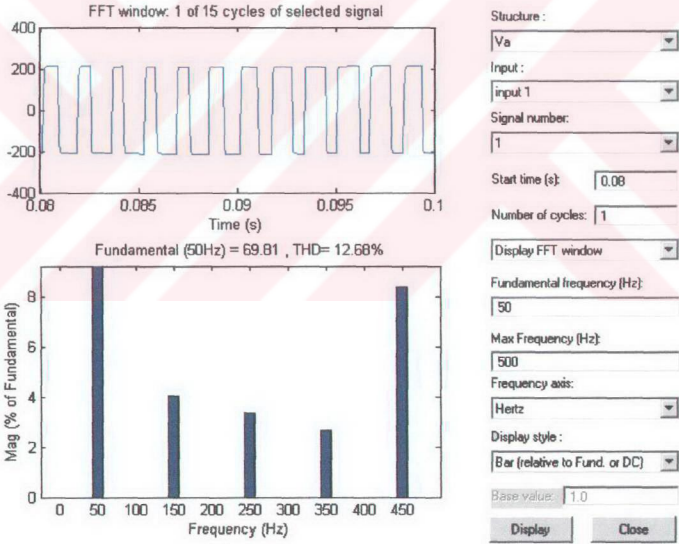


(a)

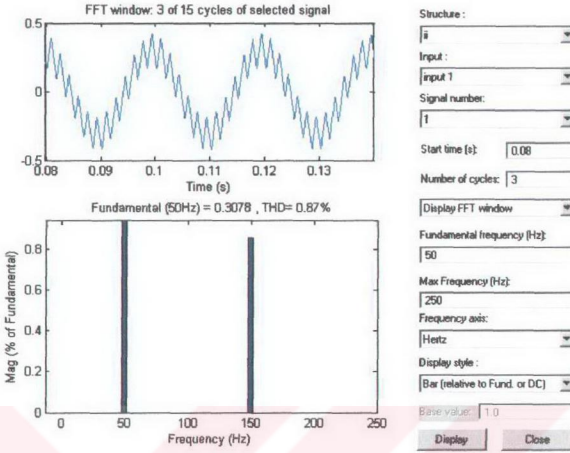


(b)

Şekil 5.15. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.

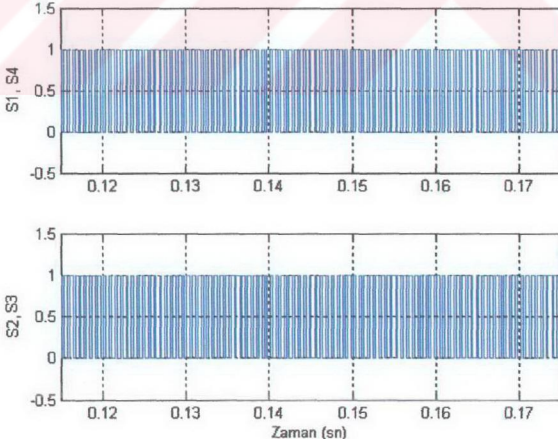


Şekil 5.16. Yük gerilimi üzerindeki harmonikler.

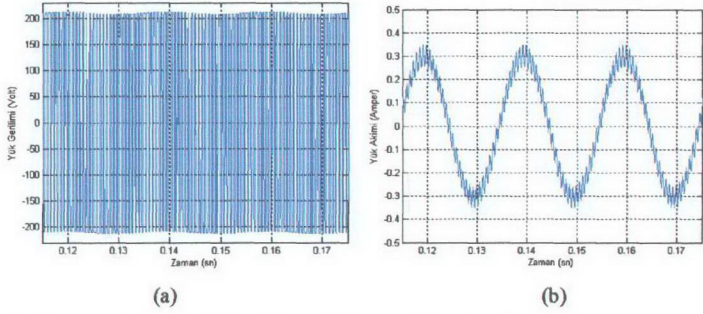


Şekil 5.17. Yük akımı üzerindeki harmonikler.

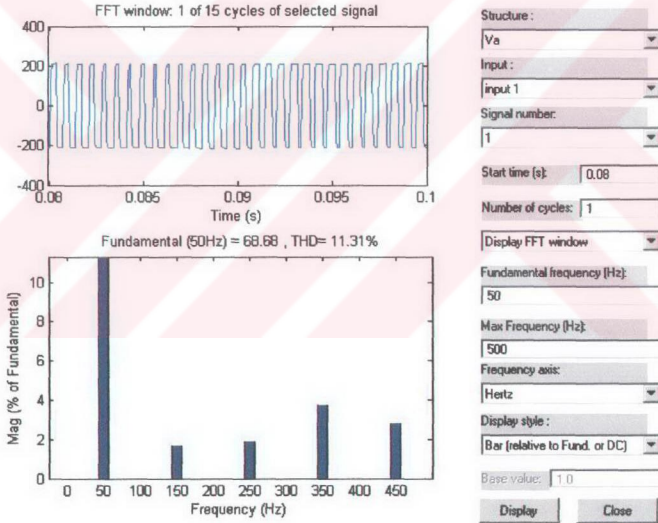
5.3.2. Taşıyıcı işaretin referans işaretin 30 katı olma durumu



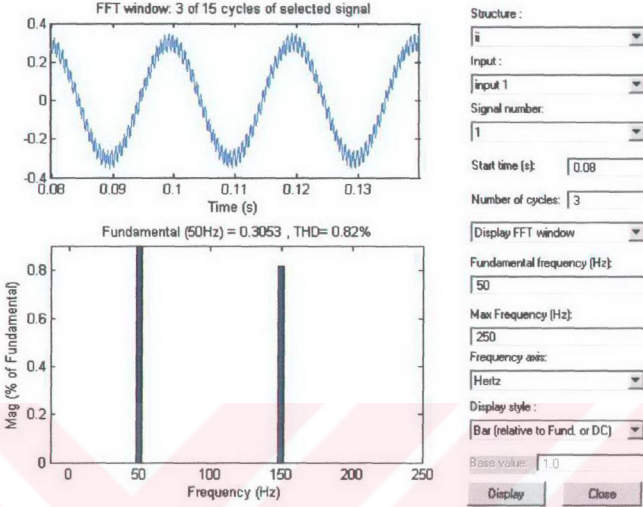
Şekil 5.18. Anahtarlama işaretlerinin zamana bağlı değişimi.



Şekil 5.19. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.

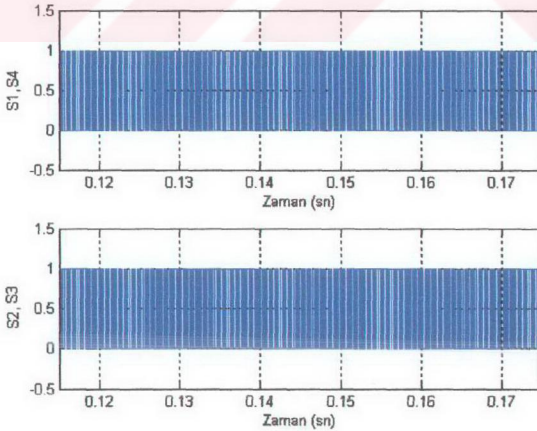


Şekil 5.20. Yük gerilimi üzerindeki harmonikler.

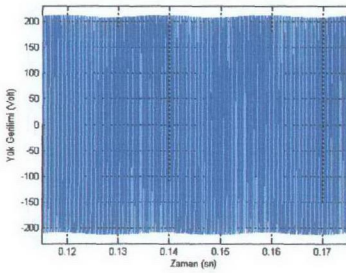


Şekil 5.21. Yük akımı üzerindeki harmonikler.

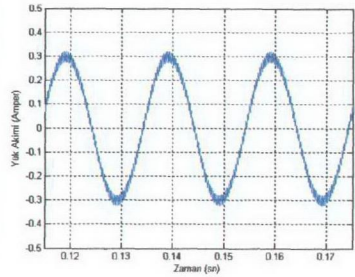
5.3.3. Taşıyıcı işaretin referans işaretin 60 katı olma durumu



Şekil 5.22. Anahtarlama işaretlerinin zamana bağlı değişimi.

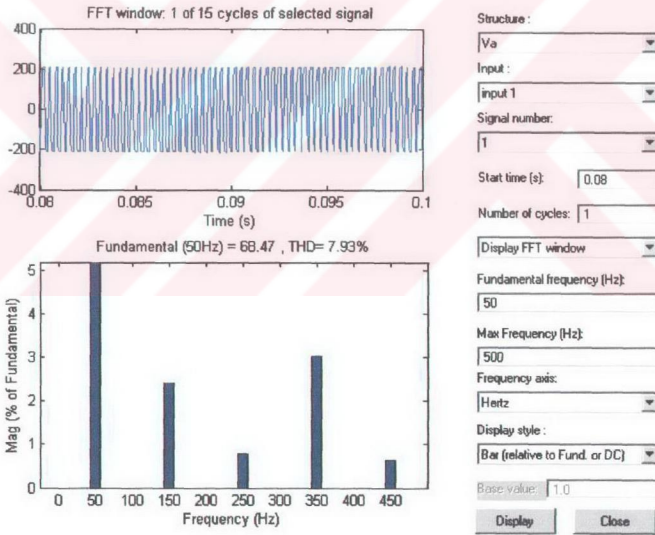


(a)

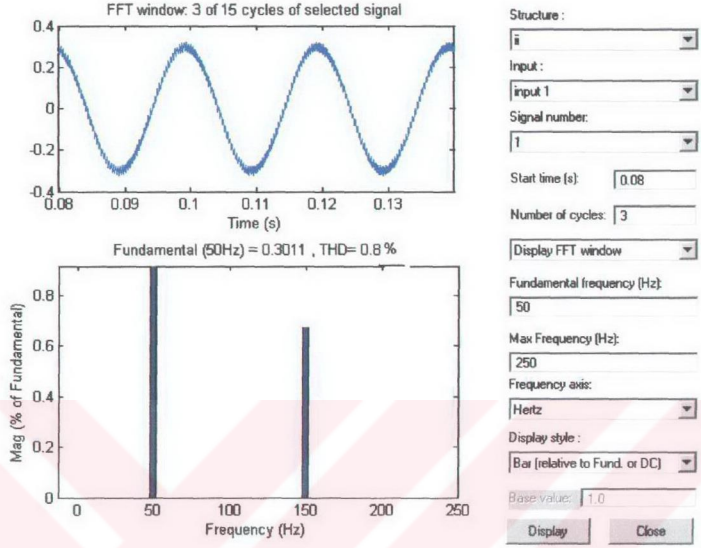


(b)

Şekil 5.23. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.



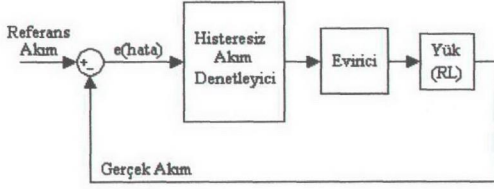
Şekil 5.24. Yük gerilimi üzerindeki harmonikler.



Şekil 5.25. Yük akımı üzerindeki harmonikler.

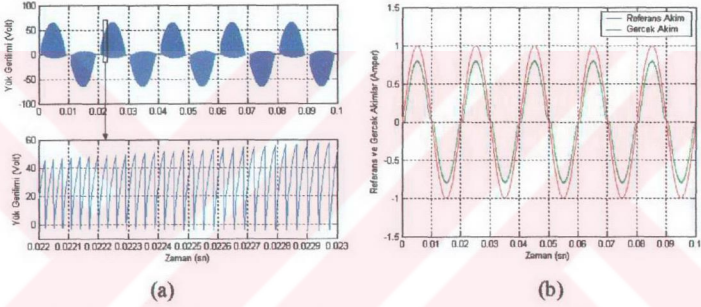
5.4. Histeresiz DGA

Şimdiye kadar, DGA ile denetlenen çıkış gerilim dalgasının harmoniklerindeki tartışma, DA hat geriliminin (V_d) düzgün bir şekilde filtrelenmesi temeline oturuyordu. Bu şart önemli miktarda dalgalanma içeren LC yada C filtreler için geçerli olmayabilir. Bu yöntemde, üçgen dalga, referans sinüsoidal işaret yakınlarında, tanımlanmış bir bant aralığında salınır. Bant aralığının düşük olması istenen değere daha çok yaklaşılması sonucunu doğurur. Bu başlangıçta iyi gibi görünse de anahtarlama frekansını yükselteceğinden ve dolayısıyla anahtarlama kayıplarını artıracığından fazla tavsiye edilmez. Bir fazlı histeresiz tipli eviricinin denetimine ait blok şeması şekil 5.26 da verilmektedir. Şekilden de görüldüğü gibi referans akımla gerçek akımın farkı alınarak hata değeri belirlenmiştir. Daha sonra elde edilen hata belirtilen histeresiz bant genişliği ile karşılaştırılması sonucu anahtarlama sinyalleri üretilmektedir

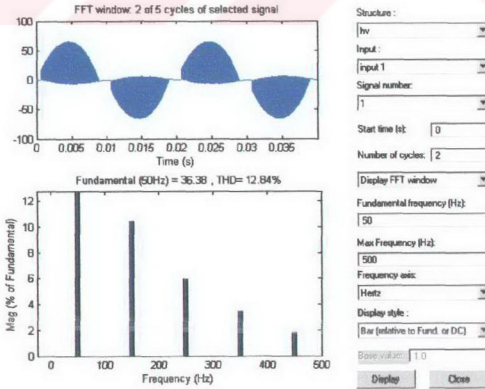


Şekil 5.26. Bir fazlı histeresiz denetimli evirici.

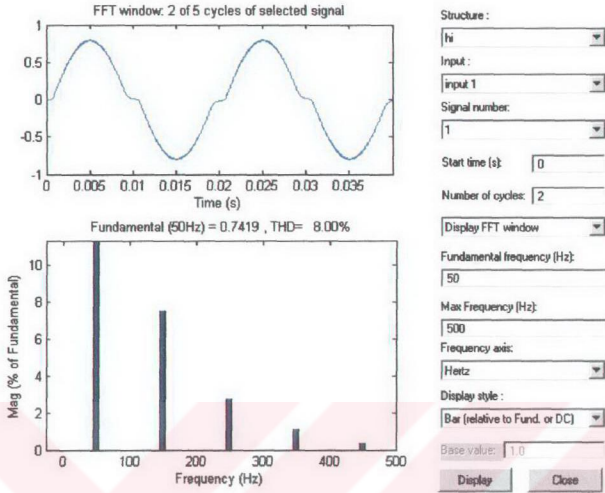
5.4.1 Histeresiz bant genişliğinin 0.2 olma durumu



Şekil 5.27. (a) Yük geriliminin, (b) Yük ve referans akımının zamana bağlı değişimi.

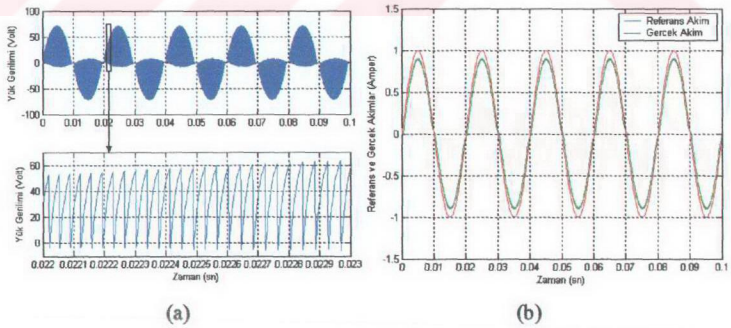


Şekil 5.28. Yük gerilimi üzerindeki harmonikler.

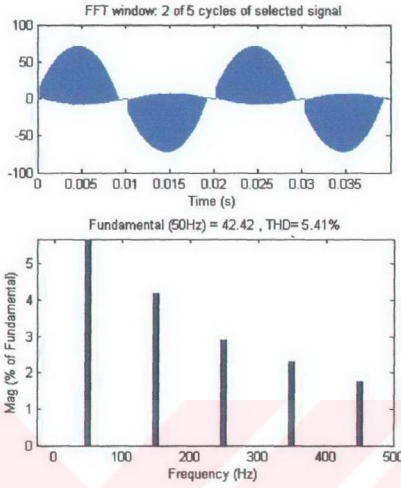


Şekil 5.29. Yük akımı üzerindeki harmonikler.

5.4.2 Histeresiz bant genişliğinin 0.1 olma durumu



Şekil 5.30. (a) Yük geriliminin, (b) Yük ve referans akımının zamana bağlı değişimi.



Structure :

Input :

Signal number:

Start time (s):

Number of cycles:

Display FFT window

Fundamental frequency (Hz):

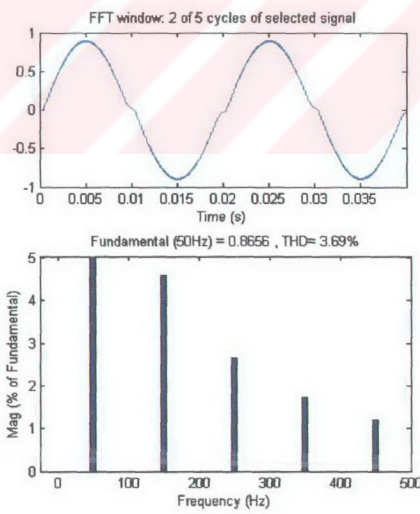
Max Frequency (Hz):

Frequency axis:

Display style :

Base value:

Şekil 5.31. Yük genlimi üzerindeki harmonikler.



Structure :

Input :

Signal number:

Start time (s):

Number of cycles:

Display FFT window

Fundamental frequency (Hz):

Max Frequency (Hz):

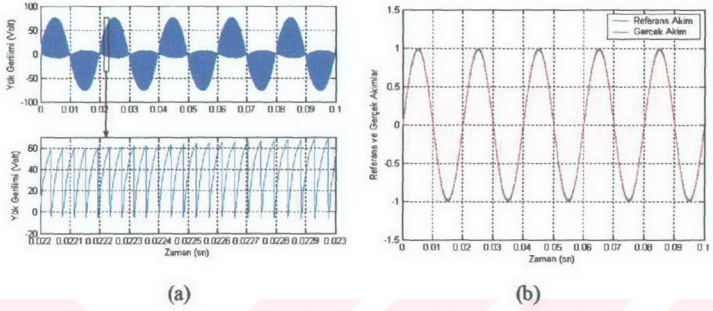
Frequency axis:

Display style :

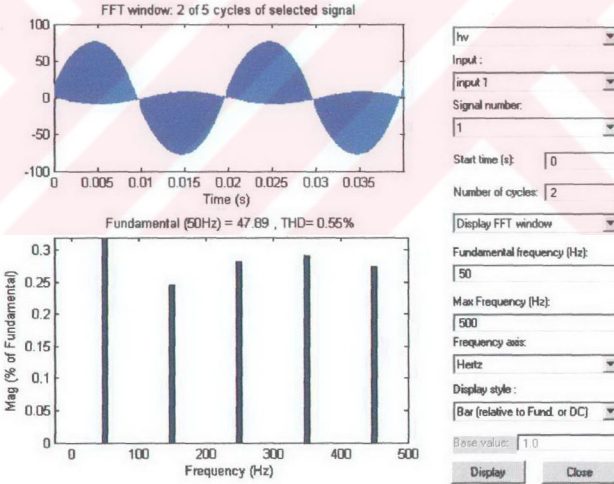
Base value:

Şekil 5.32. Yük akımı üzerindeki harmonikler.

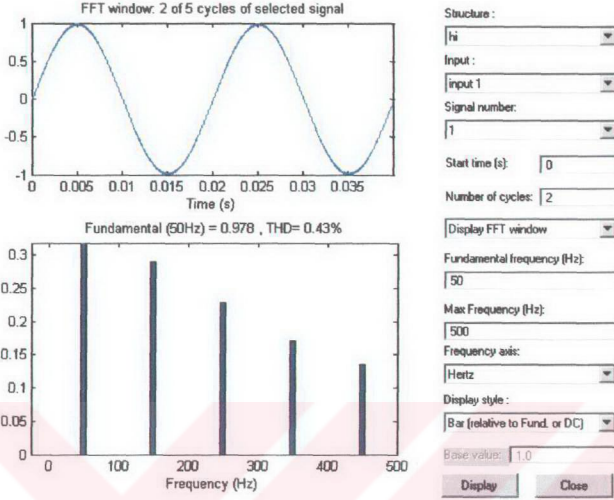
5.4.3 Histeresiz bant genişliğinin 0.01 olma durumu



Şekil 5.33. (a) Yük geriliminin, (b) Yük ve referans akımının zamana bağlı değişimi.



Şekil 5.34. Yük gerilimi üzerindeki harmonikler.

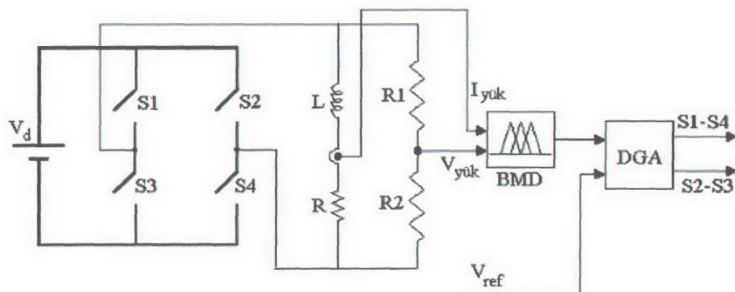


Şekil 5.35. Yük akımı üzerindeki harmonikler.

5.5 Bulanık Mantıklı Denetim İle Bir Fazlı Eviricinin Denetimi

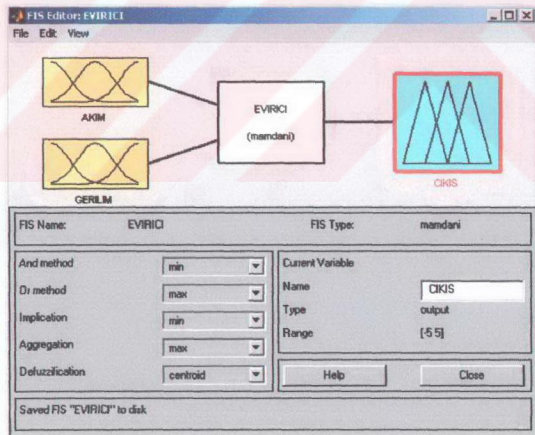
Sistemin kesin matematiksel modelinin bilindiği durumlarda klasik denetim teorisi, güçlü analiz ve iyi çözümler üretebilmektedir. Bununla birlikte sistemin kesin matematiksel modelinin bilinmediği veya sistem parametrelerinde belirsizliklerin olduğu durumlarda ya hiç çözüm üretmemekte yada sağlanan performans yeterince iyi olmamaktadır [76]. Kısacası yukarıdaki şartlarda klasik denetim teorisi yetersiz kalmaktadır. Bu nedenle bulanık mantıklı denetim son zamanlarda en çok kullanılan denetim tekniğidir. Teknoloji sürekli geliştiğinden artık denetim ünitelerinde bulanık mantıklı denetim mecburu hale gelmiştir. Nedeni ise sistemin matematiksel modelinin çıkarılması çeşitli güçlükler içermesidir. Bu nedenle bulanık mantıklı denetim geniş uygulama alanı bulmuştur. Temeli insanın herhangi bir prosesi denetlemede düşünsel ve sezgisel davranışının benzetimine dayanmaktadır. İnsan, bir prosesi denetlerken, kafasında sistemin matematiksel modelini bilmemekte fakat sistemin bulunduğu gerçek durumdan istenilen duruma götürmek için sezgisel ve deneyimlere dayalı olarak bir kontrol stratejisi uygulamaktadır. Bir fazlı eviricinin

bulanık mantık denetim yapısı blok şeması şekil 5.36 'da verilmektedir. Yük üzerindeki gerilim direnç bölücü üzerinden alınmaktadır.

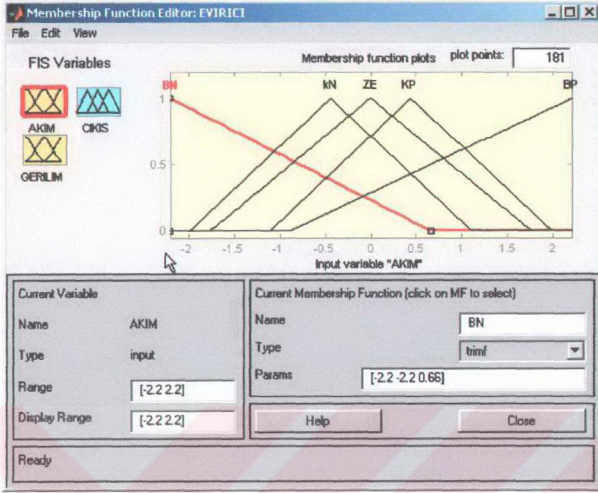


Şekil 5.36. Bir fazlı Bulanık Mantık Denetimli DGA evirci.

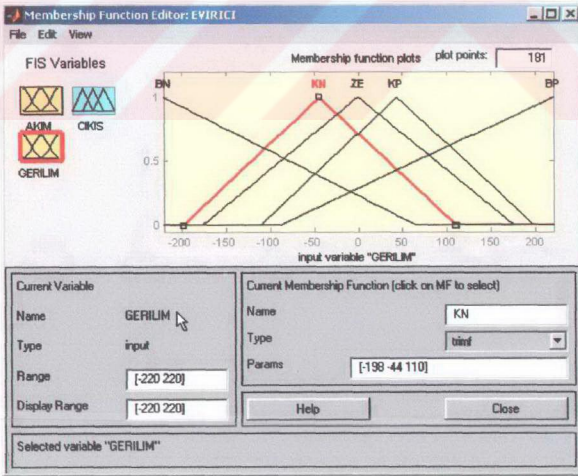
5.5.1 Bulanık mantıklı denetimin yapısı



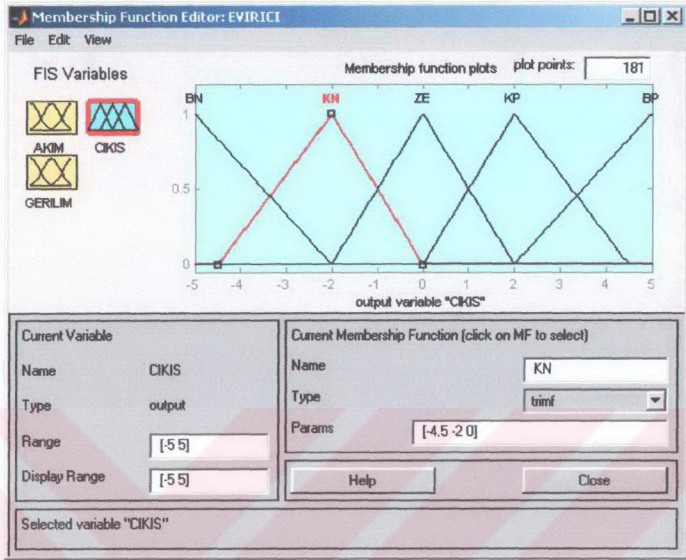
Şekil 5.37. Bulanık mantıklı denetimin genel yapısı.



Şekil 5.38. Bulanık mantıklı denetime giriş yapan yük akımı sınırları diyagramı.



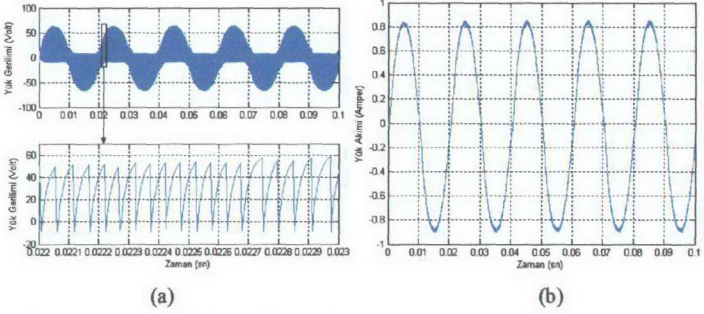
Şekil 5.39. Bulanık mantıklı denetime giriş yapan yük gerilimi sınırları diyagramı.



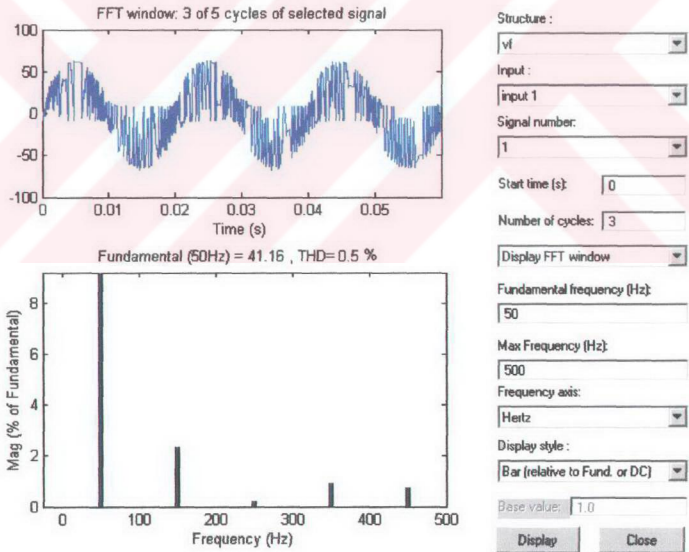
Şekil 5.40. Bulanık mantıklı denetimin çıkış sınırları diyagramı.

Tablo 5.1 Bulanık mantık kural tablosu

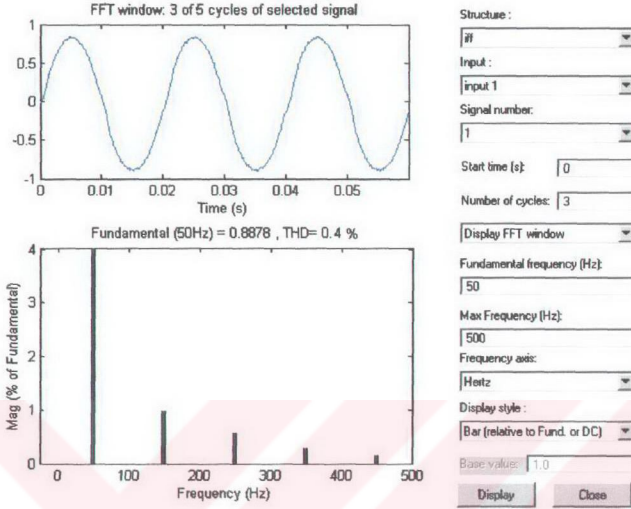
1. If (AKJM is BN) and (GERILIM is BN) then (CIKIS is BN) (1)
2. If (AKJM is BN) and (GERILIM is KN) then (CIKIS is BN) (1)
3. If (AKJM is BN) and (GERILIM is ZE) then (CIKIS is KN) (1)
4. If (AKJM is BN) and (GERILIM is KP) then (CIKIS is ZE) (1)
5. If (AKJM is BN) and (GERILIM is BP) then (CIKIS is BP) (1)
6. If (AKJM is kN) and (GERILIM is BN) then (CIKIS is BN) (1)
7. If (AKJM is kN) and (GERILIM is KN) then (CIKIS is KN) (1)
8. If (AKJM is kN) and (GERILIM is ZE) then (CIKIS is ZE) (1)
9. If (AKJM is kN) and (GERILIM is KP) then (CIKIS is ZE) (1)
10. If (AKJM is kN) and (GERILIM is BP) then (CIKIS is BP) (1)
11. If (AKJM is ZE) and (GERILIM is BN) then (CIKIS is KN) (1)
12. If (AKJM is ZE) and (GERILIM is KN) then (CIKIS is ZE) (1)
13. If (AKJM is ZE) and (GERILIM is ZE) then (CIKIS is ZE) (1)
14. If (AKJM is ZE) and (GERILIM is KP) then (CIKIS is ZE) (1)
15. If (AKJM is ZE) and (GERILIM is BP) then (CIKIS is KP) (1)
16. If (AKJM is KP) and (GERILIM is BN) then (CIKIS is BN) (1)
17. If (AKJM is KP) and (GERILIM is KN) then (CIKIS is ZE) (1)
18. If (AKJM is KP) and (GERILIM is ZE) then (CIKIS is ZE) (1)
19. If (AKJM is KP) and (GERILIM is KP) then (CIKIS is KP) (1)
20. If (AKJM is KP) and (GERILIM is BP) then (CIKIS is BP) (1)
21. If (AKJM is BP) and (GERILIM is BN) then (CIKIS is BN) (1)
22. If (AKJM is BP) and (GERILIM is KN) then (CIKIS is ZE) (1)
23. If (AKJM is BP) and (GERILIM is ZE) then (CIKIS is KP) (1)
24. If (AKJM is BP) and (GERILIM is KP) then (CIKIS is BP) (1)
25. If (AKJM is BP) and (GERILIM is BP) then (CIKIS is BP) (1)



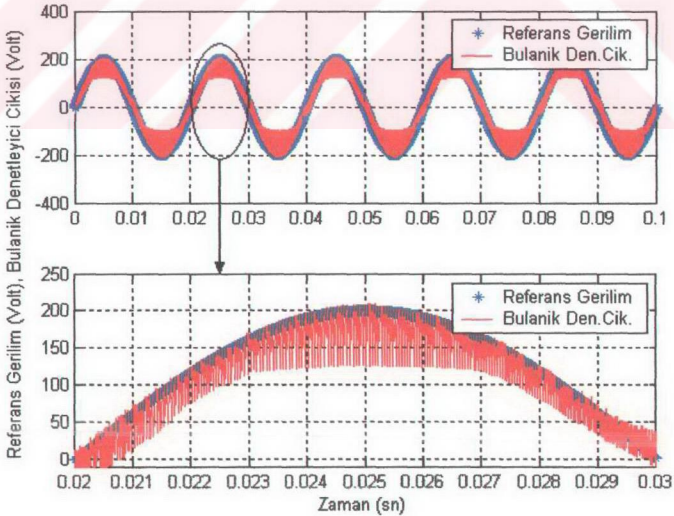
Şekil 5.41. (a) Yük geriliminin, (b) Yük akımının zamana bağlı değişimi.



Şekil 5.42. Yük gerilimi üzerindeki harmonikler.



Şekil 5.43. Yük akımı üzerindeki harmonikler.



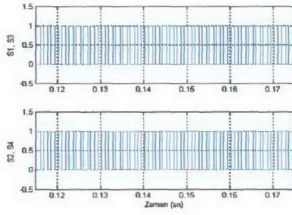
Şekil 5.44. Referans gerilim ile bulanık denetim çıkışının karşılaştırılması.

SONUÇLAR VE ÖNERİLER

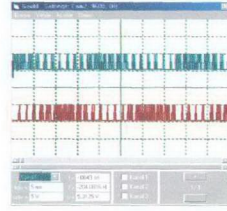
1950 'li yıllarda yarı iletken güç anahtarlarının keşfinden sonra evirici devrelerin denetiminde bu yarı iletken anahtarlar yaygın olarak kullanılmaya başlandı. 1980 'lerden itibaren SCR, GTO ve BJT, MOSFET, IGBT, MCT gibi, çok hızlı çalışan yarı iletken güç anahtarlarının geliştirilmesi ve gün geçtikçe maliyetlerinin daha da ucuzlaması bu alanda daha fazla çalışmalar yapılmasına neden olmuştur. Özellikle sürücü devrelerinde bu anahtarlar, yüksek anahtarlama frekansı ve düşük anahtarlama kayıplarından dolayı yaygın olarak kullanılmaktadır.

Evirici tasarımı yapılırken; istenilen sonuçlar verebilecek (düşük harmonik etkiler ile istenilen frekansta istenilen çıkış gerilimi) düşük maliyetli bir denetim sisteminin gerçekleştirilmesi önemlidir. Bu amaçla kullanılan yüksek maliyetli sistemlerin işlevlerini yerine getirebilecek ve değişik ortamlarda sorunsuz çalışabilecek bir sistemin gerçekleştirilmesi oldukça önemlidir. Eviricinin çıkışında harmonik bileşenlerin belirli bir sınırın üstünde olması tüketici açısından sorunlar oluşturur. Harmoniklerin süzülmesi ancak sabit frekans çıkışlı eviricilerde baş vurulabilecek bir yoldur. Sabit frekans uygulamalarında harmoniklerin süzülmesi için kullanılacak devre, eviricinin fiziksel boyutlarını büyüttüğü gibi maliyetini de yükseltir. Bu sorunlar eviricide darbe genişlik ayarı (DGA) kullanılarak çözülebilir.

Günümüzde kullanılan eviricilerde yüksek maliyetli sürücü birimleri kullanılmaktadır. Tezin ana hedeflerinden biri olan, sürücü biriminin, düşük maliyetle aynı performansı verecek şekilde yapılabileceğini göstermek için PIC mikrodenetleyici tabanlı bir sistem geliştirilmiştir. Üçüncü bölümde, geliştirilen bu sistemle değişik anahtarlama yapılarına göre bir fazlı eviriciye ait yük akımı, gerilimi ve harmonik çıkışları verilmiştir. Deney sonuçlarından pratik sonuçlarla teorik sonuçların aynı olduğu görülmüştür.

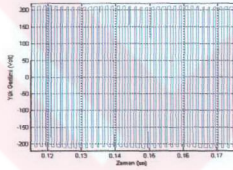


(a)

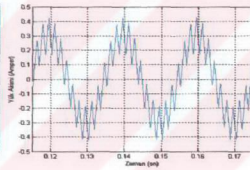


(b)

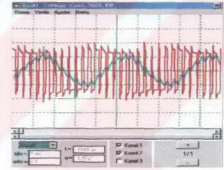
Şekil S.1. 600 Hz anahtarlama sinyallerinin (a) benzeşim, (b) pratik sonuçları.



(a)

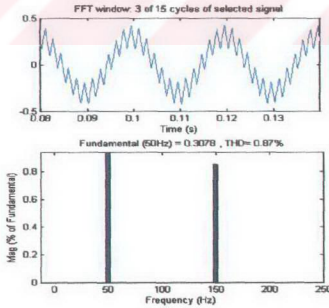


(b)

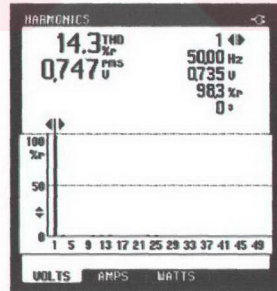


(c)

Şekil S.2. 600 Hz anahtarlama frekansı ile denetlenen eviricinin (a) yük gerilimi, (b) yük akımının benzeşim, (c) yük akımı ve gerilimi pratik sonuçları.



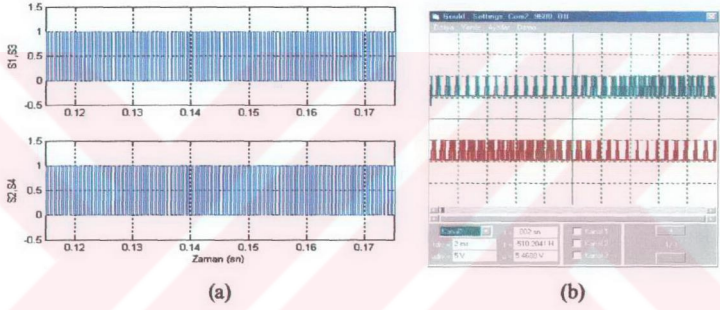
(a)



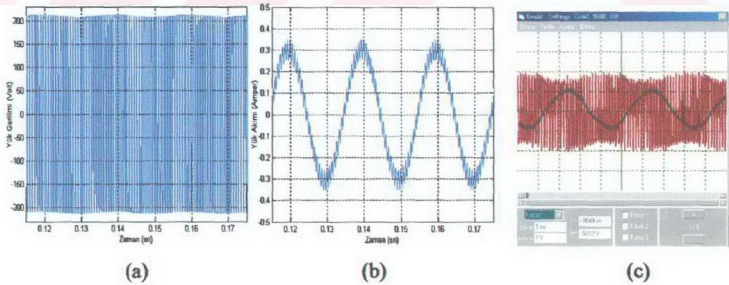
(b)

Şekil S.3. 600 Hz anahtarlama frekansı ile denetlenen evirici yük akımının (a) benzeşim, (b) pratik harmonik bileşenleri.

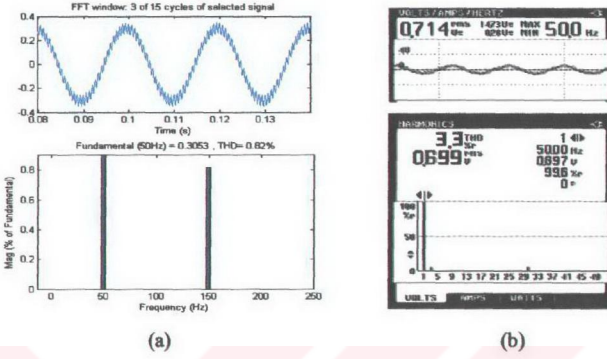
Yukarıda verilen şekillerde, anahtarlama frekansının 600 Hz olması durumundaki teorik ve pratik sonuçlarının birbirine çok yakın olduğu görülmektedir. Bazı ufak farklılıklar da teoride ideal kabul edilen bazı elemanların pratikte ideal olarak kullanılamayışına ve deneysel ortamda oluşan ölçüm hatalarına (deneyde kullanılan kablo, konnektör vb malzemelerin oluşturacağı kayıplar) bağlıdır. Kısaca teorik çözümlerde ihmal edilen bazı değerlerin pratikte sonuçlara yansımaları, pratik sonuçlarla teorik sonuçlar arasında bazı farklılıklar oluşturmaktadır.



Şekil S.4. 1.5 kHz anahtarlama sinyallerinin (a) benzeşim, (b) pratik sonuçları.



Şekil S.5. 1.5 kHz anahtarlama frekansı ile denetlenen evircinin (a) yük gerilimi, (b) yük akımının benzeşim, (c) yük akımı ve gerilimi pratik sonuçları.



Şekil 5.6. 1.5 kHz anahtarlama frekansı ile denetlenen evirici yük akımının (a) benzeşim, (b) pratik harmonik bileşenleri.

Yukarıda verilen şekillere bakıldığında, anahtarlama frekansının 1.5kHz olması durumunda yine teorik ve pratik sonuçlar çok benzer olduğu görülmektedir. Bu iki farklı anahtarlama frekansı için elde edilen sonuçlara bakıldığında, anahtarlama frekansı yükseldikçe akımdaki harmoniklerin dolayısıyla toplam harmonik bozulmanın azaldığı ve akımın ideal sinüzoidal'e yaklaştığı açıkça görülmektedir. Bu sonuçlarda yapılan çalışmanın başarısını göstermektedir.

Gerçekleştirilen sisteme Telekom santralinde kullanılan eviriciler referans alınmıştır. Bu eviricilerin günümüz teknolojisi ihtiyacına cevap verebilecek seviyeye getirilebilmesi için gerekli çalışmalar yapılmıştır. Telekom santrallerinde kullanılan eviriciler ile yeni tasarlanan evirici karşılaştırıldığında her yönden yeni tasarlanan eviricinin üstün performans gösterdiği deney sonuçlarından görülmüştür. Telekom santrallerinde kullanılan eviricilerde oluşan Toplam Harmonik Bozulması (THB) %10 civarında olmasına karşın tasarlanan eviricide bu değer %4 civarındadır. Gerçekleştirilen evirici ile, Telekom santrallerinde kullanılan eviriciler için kabul edilen % 10 luk toplam harmonik bozulmasının altına düşülerek büyük başarı elde edilmiştir. Ayrıca bu tezde elde edilen diğer bir başarı eviricinin yük üzerindeki akım ve geriliminde oluşan THB

IEEE 519 standardı olan; gerilimde % 5 akımda %3 değerindeki bir bozulmanın olması tasarlanan eviricinin IEEE 519 standardına uygun olduğunu göstermektedir. Bulanık mantıklı DGA'nın bir fazlı eviricinin pic ile denetimi uygulaması yapılmış olup DGA'nın oluşturulmasında şu ana kadar kullanılmayan yeni bir taşıyıcı sinyali elde edilmiştir.

Bölüm 5'de, tezin hedeflerinden olan, bir fazlı eviricilerin BMD ile denetlenmesine ilişkin yeni bir yöntem ileri sürülmüştür. Önerilen yöntem de yük akımı ve gerilimi BMD'nin giriş fonksiyonları, taşıyıcı işaret ise BMD çıkış fonksiyonudur. Önerilen BMD denetim yapısını klasik yöntemlerle kıyaslayabilmek için farklı denetim yapılarına ait benzeşim sonuçları da bu bölümde verilmiştir. Kare dalda DGA sonuçları Şekil 5.1 – Şekil 5.12, Sinüsoidal DGA PI denetim yapısına göre sonuçları Şekil 5.14 - Şekil 5.25, Histeresiz DGA sonuçları Şekil 5.27 – Şekil 5.35 arasında verilmiştir. Önerilen BMD'li bir fazlı eviriciye ait blok şeması Şekil 5.36'da verilmiştir. Kurulan BMD yapısı Şekil 5.37'de, giriş-çıkış üyelik fonksiyonları Şekil 5.38 – Şekil 5.40'da verilmiştir. BMD kural tablosu ise Tablo 5.1 ile verilmektedir. Alınan benzeşim sonuçları Şekil 5.41 – Şekil 5.44 ile verilmiştir. Şekil 5.44'deki üretilen taşıyıcı işaretine bakıldığında, klasik yöntemlerden çok farklı olduğu görülmektedir. Harmonik etkilere bakıldığında ise, BMD'nin en iyi performansı verdiği açıkça görülmektedir. BMD'e en yakın sonucun 0.01 bant genişliğine sahip histeresiz DGA'nın olduğu görülmektedir. Bant genişliği azaltılarak daha iyi sonuç alınabileceği açıktır, fakat bu durumda anahtarlama sayısının artacağı kesindir. Bu da anahtarlama kayıplarını artırır.

Yapılan çalışmada eksikliği görülen, gerçekleştirilemeyen konular aşağıdaki şekilde sıralanabilir.

1. Gerçekleştirilen DGA işaretlerini üreten sistemle birlikte hızlı işlem yapabilen bir mikrodenetleyici kullanarak eviricinin BMD denetimi gerçekleştirilebilir.
2. Önerilen BMD tabanlı evirici sisteminde yük akımı Yapay Sinir Ağları kullanılarak gerilim bilgisi ile ağı öğretilir, böylelikle yük üzerinden akım okunmasına gerek kalmaz.

KAYNAKLAR

- [1]. GÜLGÜN, R., 1990. Güç Elektroniğine Giriş. Beta Yayın Evi, 29 - 33, 108 - 110, İstanbul.
- [2]. KASAPOĞLU, A., 1989. Güç Elektroniği. Birsen Yayın Evi, 5-11, 253-261, İstanbul.
- [3]. GÜRDAL, O., 2000. Güç Elektroniği. Nobel Yayın Dağıtım, Ankara.
- [4]. YÜCEÖZSOY, M., 1989. Yarı İletken Güçkaynakları ve Yükselteçler. Aselsan Matbaası, 53-60 Ankara.
- [5]. ELMAS, Ç. ve FARUK, Ö., 1995. Modelling and Operation of a Nonlinear Switched Reluctance Motor Drive Based on Fuzzy Logic, Spain.
- [6]. AKBAY, S., 1989. Dijital Elektronik Uygulamaları, Kipaş Dağıtımçılık, 163-168, İstanbul.
- [7]. EDMINISTER, J., 1979. Electric Circuit. Schaums Outline Series, pp.16-24.
- [8]. FUKUDA, D., 1995. Introduction Of Harmonic Distortion Determining Factor and its Application to Evaluating Real Time PWM Methods, pp. 688-693, Japan.
- [9]. RASHED, M. H., 1992. Power Electronics, Prentice Hall Book Co , 378, pp. 11-30, U.S.A.
- [10]. ROBINS, U. M., 1995. Power Electronics, John Wiley A Son Inc. pp.213-243.
- [11]. BOYLESTAD, R. and NASHELSKY. Y., 1994. Elektronik Elemanlar ve Devre Teorisi, Evren Offset A.Ş. 127,197,268,611, ANKARA.
- [12]. KAZMIERKOWSKI M, P., 1998. Control Philosophies of PWM Inverter-Fed Induction Motors, pp.16-20 Japan.
- [13]. ZHOU, D. and ROUAN, D., 1999. Dead-Time Effect and Compensation of Three Level Neutral Point Clamp Inverters For High Performance Drive Applications, U.S.A.

- [14]. QIN, Y., 1996 . Control Of Single Phase Power factor Pre - Regulator For An On -Line Uninterruptible Power Supply Using Fuzzy Logic Inference", IEEE Apec Conference U.S.A.
- [15]. ROWAN, T. M., KERKMAN, R. and LEGGATE, J. D., 1991. A Simple On-Line Adaption for Indirect Field Orientation of an Induction Machine", IEEE Transactions.
- [16]. BUJA, G., CASADAI, D. and SERRA, G., 1997 Direct Torque Control of Induction Drivers, ISIE '97.
- [17]. DOVAL, J., IGLESIAS, A., CASTRO, C., and PENALVER, C.N., 1999. Three Alternatives for Implementing Space Vector Modulation with the DSP TMS320F240", IEEE, 1999.
- [18]. LASCU, C., BOLDEA, I. and BLACBJERG, F. 2000. A Modified Direct Torque Control for Induction Motor Sensorless Drive , IEEE Transactions Vol.36, No.1.
- [19]. COPELAND, M., 2000. Generate Advanced PWM Signals Using 8-bit μ Cs , www.edmag.com.
- [20]. KWONG, P.C. and KHAMLICHI, K., 1996 An Innovative DSP-Based Teaching Module for Electrical Machine Drives", IEEE Transactions Vol.39, No.2.
- [21]. MAZUMDER, S. , NAYFEH, A.H. and BOROJEVIC, D., 1999. New Sensorless Control of Three-Phase Bi-Directional Converter using Space-Vector Modulation", IEEE.
- [22]. SATHIAKUMAR, S., BETZ, R.E. and EVANS, R.J., 2000. Adaptive Field-Oriented Control of an IM Using Predictive Control" , IEEE Transactions Vol.26, No.2.
- [23]. MARTINS, C.A., MEYNARD, T. and CARVALHO, A.S., 1999. A Predictive Sampling Scale Model for Direct Torque Control of the Induction Machine Fed by Multilevel Voltage-Source Inverters, EDI + Sciences.
- [24]. LIN, F.J., 1996. Robust speed-controlled induction-motor drive using EKF and RLS estimators, IEE Proc.-Electr. Power Appl., Vol.143, ;No.3.
- [25]. KERKMAN, R.J., ROWAN, T.M. and LEGGATE, D., 1992. Indirect Field-Oriented Control of an Induction Motor in the Field-Weakening Region" , IEEE Transactions Vol.28, No.4.

- [26]. AL-TAYIE J.K. and ACARNLEY, P.P., 1997. Estimation of speed, stator temperature in cage induction motor drive using the extended Kalman Filter algorithm , IEE Proc.-Electr. Power Appl., Vol.144, No.5.
- [27]. SHI, K.L., CHAN, T.F., WONG, Y.K. and HO, S.L., 2000. Speed Estimation of an Induction Motor Drive Using Extended Kalman Filter” , IEEE.
- [28]. WADE, S., DUNNIGAN, M.W. and WILLIAMS, B.W. 1997 Modelling and Simulation of Induction Machine Vector Control with Rotor Resistance Identifications” , IEEE Transctions Vol.12, No.3.
- [29]. SHIRSAVAR, S. A., MCCULLOCH, M.D. and GUY, C.G., 1996 Speed Sensorless Vector Control of Induction Motor with Parameter Estimation” , IEEE.
- [30]. LOE, C.M. and CHEN, C.-L., 1998. Observer-based speed estimation method for sensorless vector control of induction motors” , IEE Proc.-Control Theory Appl., Vol.145, No.
- [31]. ATKINSON, D.J. , FINCH, J.W. and ACARNLEY, P.P., 1996. Estimation of rotor resistance in induction motors, IEE Proc.-Electr. Power Appl., Vol.143, No.1, 1996.
- [32]. ABUT N., ÇAKIR B., AND BİLGİN M. Z., 1996. Brushless DC Motor Drive by Fuzzy Logic Vontrol Technique. Journal of Kocaeli University, Eng. Sciences Sec. No.3, pp. 51-56.
- [33]. ABUT N., ÇAKIR B., 1996. Fuzzy Controller Instead of Classical Controllers. 9 th Engineering Symposium, S.D. University. May 29-31, pp. 177-181. Isparta- Türkiye.
- [34]. BOSE B. K., 1990. An Adaptive Hysterisis-Band Current Controller Technique of a Voltage-Fed PWM Inverter for Machine Drive System. IEEE Transactions on Ind. Elec. Vol 37, No 5. pp. 456-452.
- [35]. SEN P. C., 1990. “Electric Motor Drives and Control- Past, Present, and Future”, IEEE Trans. On Ind. Elec., Vol: 37, No:6, pp.562-575.
- [36]. MIR S., ELBULUK M.E., ZINGER D.S., 1998. “PI and Fuzzy Astimators for Tuning the Stator Resistance In Direct Torque Control of Induction Machine”, IEEE Transactions on Power Electronics, Vol. 13, No. 2.
- [37]. MATSUO T., BERNET S., COLBY R.S., LIPO T.A.,1998 “Modelling and Simulation of Matrix Converter/Induction Motor Drive”, Mathematics and Computers in Simulation 46 (1998) 175-195, Elsevier.
- [38]. CHO K. B., 1993. “A Neuro Fuzzy Controller for Inverter Fed Variable Speed Induction Motor Drive on the Power System”. IEEE. 0-7803-1217-1/93/\$3.00.

- [39]. ZHANG J., 1995. "High Performance Control of a Three-Level IGBT Inverter Fed AC Drive" IEEE. 0-7303-3008-0/95/\$ 4.00.
- [40]. LIN F. J., SU H. M., and CHEN H. P., 1998. "Induction Motor Servo Drive with Adaptive Rotor Time-Constant Estimation" IEEE Transd. El. Syst., Vol. 34. no:1, pp. 224-234.
- [41]. ROKUNUZAMAN M., NAKAOKA M., 2000 ." Fuzzy Logic Controller for Three-Phase Voltage Source PWM Inverters" IEEE. 0-7803-6401-5/00/\$10.00, pp. 1163-1169.
- [42]. WANG F., 2000." Sine-Triangle vs. Space Vector Modulation for Three-Level PWM Voltage Source Inverter" 0-7803-6401-5/00/\$10.00, pp. 2482-2488.
- [43]. BENN L. C., BURTON B., and HARLEY R. G., 2001." PWM Spectrum Analysis and Optimization for Model Based Condition Monitoring and Control" IEEE. 0-7803-7116-X/01/\$10.00. pp. 1311-1318.
- [44]. JUN W., HONG P., 2000. "A New Hysteresis Current Controller for IM" IEEE. 0-7803-7116-X/00/\$10.00. pp. 1289-1292.
- [45]. WANG F., 2002. "Sine-Triangle Versus Space-Vector Modulation for Three-level PWM Voltage-Source Inverters" IEEE Trans. on Ind. Appl., vol. 38, no. 2, pp. 500-506.
- [46]. CUPERTINO F., LINO. P., and SALVATORE L., 2002. "A New IM Vector Control Scheme with Two Fuzz Logic Controllers" IEEE. 0-7803-7369-3/02/\$17.00. pp. 367-372.
- [47]. GAWTROP P. J., 1986. Self-Tuning PID Controllers: Algorithm and Implementations. IEEE Transactions on Automat. Cont., Vol 31, pp. 201-209.
- [48]. SOOD V. K., KANDIL N., PATEL R. V., and KHROSANI K., 1994. Comparative Evaluation of Neural-Network-Based and PI Current Controller for HVDC Transmission. IEEE Trans. On Power Elec., Vol. 9, No.3, pp.288-295.
- [49]. BROCHE C., 1992. Harmonic reduction in DC link current of a PWM induction motor drive by active filtering. IEEE Transactions on Power Electronics, Vol. 7, No. 4, pp. 633 –643.
- [50]. DONLON, J. et al, 1994. A new converter/inverter system for wind power generation utilizing a new 600 Amp, 1200 volt intelligent IGBT power module. IEEE Industry Applications Society Annual Meeting, Vol.2, pp. 1031 –1042.

- [51]. LIAO, J. C. and YEH, S., 2000. A novel instantaneous power control strategy and analytic model for integrated rectifier/inverter systems. IEEE Transactions on Power Electronics, Vol. 15, No. 6, Nov. 2000, pp. 996 – 1006.
- [52]. MAHMOUD et al, 1983. Power system harmonics: an overview. IEEE Transactions on Power Apparatus and Systems, Vol. PAS-102, No. 8.
- [53]. SATO, Y. et al, 1998. A new control strategy for voltage-type PWM rectifiers to realize zero steady-state control error in input current. IEEE Transactions on Industry Applications, Vol. 34, No. 3, May/June 1998, pp. 480-486 .
- [54]. ŞEN Z., 2000. Bulanık Mantık ve Modelleme İlkeleri. Bilge Yayınevi, İstanbul.
- [55]. ÖZDEMİR E., 1997. Hafif Metro Tahrik sistemlerinde Kullanılan DA Motorunun Bulanık Mantık ile Denetimi. Doktora tezi. Kocaeli Üniversitesi Elk. Müh. Böl., Kocaeli.
- [56]. ROSS T. J., 1995. Fuzzy Logic with Engineering Application. Mc Grew- Hill Publishing Co. New York, USA.
- [57]. BABA A. F., 1995. İTÜ Triga Mark-2 Reaktörünün Bulanık Kontrolü. M. Ü. Fen Bil. Enst., Doktora Tezi. İstanbul.
- [58]. DRIANKOV D., HELLENDORM H., and REINFRANK M., 1997. an Introduction to Fuzzy Control. Prentice-Hall, Englewoods Cliffs, New Jersey. USA.
- [59]. SIMULINK, 2000. The Matlab Works Inc. Toolbox User's Guide.
- [60]. ERGÜVEN Ç., Bulanık Mantık Kontrolör ile Klasik PID Algoritmalarının Karşılaştırılması.
- [61]. GUSTAVO L., ABREU C. M., 2002. A Self Organisation Method for Fuzzy Controllers. Fuzzy set syst. Vol. 62, pp. 156-167.
- [62]. LEWIS F. L., TIM W. K., WAN L. Z., 1999. Deadzone Compensation in Motion Control System Using adaptive Fuzzy Logic Control. IEEE Transaction on Control Ssystems Technology, Vol. 7, No. 9, pp. 731-742.
- [63]. YÜKSEL İ., 1997. Otomatik Sistem Dinamiği ve Denetim Sistemleri., Uludağ Üniversitesi, Bursa.
- [64]. ZHOU K., WANG D., 2002. "Relationship Between Space-Vector Modulation and Three-Phase Carrier-Based PWM: A Comprehensive Analysis" IEEE Trans. on Ind Electr., vol. 49, no. 1, pp. 186-196.

- [65]. BENN L. C., BURTON B., and HARLEY R. G., 2001. "PWM Spectrum Analysis and Optimization for Model Based Condition Monitoring and Control" IEEE. 0-7803-7116-X/01/\$10.00. pp. 1311-1318.
- [66]. TZOU Y. Y., HO L. H., and OU R. S., 1993. Fuzzy Control of Closed-Loop Regulated PWM Inverter under Large Load Variations. 0-7803-0891/93/\$3.00. IEEE.
- [67]. ABUT N. 2001. Güç Elektroniği. KOU Yayınları. Pp. 41-100. Kocaeli.
- [68]. IZUNO Y., TAKEDA R., and NAKAOKA M., 1990. New Fuzzy Reasoning Based High-Performance Speed/Position Control Schemes for Ultrasonic Motor Driven By Two-Phase Resonant Inverter. 90/CH 2935-5/90/0000-032\$1.00. pp. 325-330. IEEE.
- [69]. OSTERHOLZ H., 1995. Simple Fuzzy Control of a PWM Inverter for UPS System. 0-7803-2750-0/95/\$4.00. pp. 565-570. IEEE.
- [70]. HSU F. Y., FU L. C., 1998. Adaptive Fuzzy Control for Uninterruptible Power Supply with Three-Phase PWM Inverter. 0-7803-3687-9/96. pp.188-193. IEEE.
- [71]. MIRON C., MICLEA L., SABAU M., OLTEAN G., and GORDAN M., 1997. Modelling The Voltage Behavior of TTL Inverter Using Fuzzy Logic. 07803-3804-9/\$8.00. pp. 571-574. IEEE.
- [72]. GRABOWSKI P., KAZMIERBOWSKI M. P. 1999. Design and Investigation of the Direct Torque Neuro Fuzzy Controller for PWM Inverter Fed IM Drives. 0-7803-5662-4/\$10.00. pp. 568- 573. IEEE.
- [73]. ZAWAWI A. M., BADR M. A. L., and KHALIL A. E. D., 1999. Implementation of a Novel Fuzzy Rule-Based Protection for an Inverter Fed Induction Motor. 0- 7803-5735-3/\$10.00. IEEE. pp. 394-399.
- [74]. HILLOOWALA B. M., SHARAF A. M., 92. A Rule Based Fuzzy Logic Controller for a PWM Inverter in Photo Voltaic Energy Conversion Scheme. 0-7803-0634-1/\$3.00. IEEE. pp. 762-769.
- [75]. MIR S. A., DONALD S., ZINGER S., MALIK E., and ELBULUK E., 1994. Fuzzy Controller for Inverter Fed Induction Machines. 0093-9994/\$4.00. IEEE. pp. 78-84.
- [76]. MASHALLY H. M., SHARAF A.M., MANSOUR M.M., and SATTAR A.A., 1993. Fuzzy Logic Controller for Maximum Powre Tracking in Line-Commutated Photovoltaic Inverter Scheme. CCECE/ CCGIE. 0-7803-1443--/\$3.00. IEEE. pp. 1287-1290.
- [77]. TZOU Y. Y. 1995. Fuzzy-Tuning Current-Vector Control of a 3-Phase PWM Inverter. 0-7803-2730-6/\$4.00. IEEE. Pp. 326-331.

- [78]. HILLOOWALA R. M., SHARAF A., 1996. a Rule Based Fuzzy Logic Controller for a PWM Inverter in a Stand Alone Wind Energy Conversion Scheme. 0093-9994/\$5.00. IEEE. pp. 57-65.
- [79]. BOSE B. K., 1986. "Power electronics and AC drives" Prentice-Hall, Englewood Cliffs, New Jersey. Pp. 45-53, 269, 275.
- [80]. BOSE B. K., 1988. "Technology Trends in Microcomputer Control of Electrical Machines", IEEE Trans. On Ind. Elec., Vol. 35, No.1, pp.160-177.
- [81]. AHMED N.A., AMESI K., SAKUI M., 2000. "AC Chopper Voltage controller-fed single-phase Induction Motor Employing Symmetrical PWM Control Technique", Electric Power System Research 55 (2000) 15-25, Elsevier.
- [82]. RAJANI K., NIKHIL R., 1999. A Robust Self-Tuning Scheme for PI and PD Type Fuzzy Controller. IEEE Transaction on Fuzzy Systems Vol. 7, No 1. pp. 540-552.
- [83]. ISTANBULLU A., YILMAZ Ç., and BULUT Ç., 1997. Bulanık Mantık Endüstriyel Kontrolde Ne Zaman ve Nerede Kullanılabilir. Otomasyon Dergisi, Yıl (Cilt) 5, sayı 66. s. 70-78. İstanbul.

EK A. PIC MİKRODENETLEYİCİDE YAZILAN ASSEMBLER PROGRAMIN ANA KISMI

0000: MOVLW 00	0025: MOVLW 03
0001: MOVWF 0A	0026: MOVWF 77
0002: GOTO 20C	0027: DECFSZ 77,F
0003: NOP	0028: GOTO 027
000D: MOVLW 47	0029: BSF 06.7
000E: MOVWF 04	002A: BCF 0A.3
000F: MOVF 00,W	002B: BCF 0A.4
0010: BTFSC 03.2	002C: GOTO 223 (RETURN)
0011: GOTO 01F	002D: MOVF 54,W
0012: MOVLW 06	002E: MOVWF 07
0013: MOVWF 78	002F: BCF 06.7
0014: CLRF 77	0030: MOVLW 03
0015: DECFSZ 77,F	0031: MOVWF 77
0016: GOTO 015	0032: DECFSZ 77,F
0017: DECFSZ 78,F	0033: GOTO 032
0018: GOTO 014	0034: BSF 06.7
0019: MOVLW 7B	0035: RETLW 00
001A: MOVWF 77	0036: CLRF 4B
001B: DECFSZ 77,F	0037: MOVF 4B,W
001C: GOTO 01B	0038: SUBLW 03
001D: DECFSZ 00,F	0039: BTFSS 03.0
001E: GOTO 012	003A: GOTO 063
001F: BCF 0A.3	003B: MOVF 4B,W
0020: BCF 0A.4	003C: ADDWF 49,W
0021: GOTO 21F (RETURN)	003D: MOVWF 4C
0051: BCF 09.0	003E: MOVF 4A,W
0052: BCF 09.1	003F: MOVWF 4D
0053: BCF 06.7	0040: BTFSC 03.0
0054: MOVLW 03	0041: INCF 4D,F
0055: MOVWF 77	0042: MOVF 4C,W
0056: DECFSZ 77,F	0043: MOVWF 4E
0057: GOTO 056	0044: MOVF 4D,W
0058: BSF 06.7	0045: MOVWF 4F
0046: BSF 09.0	004E: MOVF 4F,W
0047: BCF 09.1	004F: MOVWF 54
0048: BCF 06.7	0050: CALL 02D
0049: MOVLW 03	0059: MOVF 4E,W
004A: MOVWF 77	005A: MOVWF 54
004B: DECFSZ 77,F	005B: CALL 02D
004C: GOTO 04B	005C: MOVLW 50
004D: BSF 06.7	005D: ADDWF 4B,W
0022: BSF 09.0	005E: MOVWF 04
0023: BSF 09.1	005F: MOVF 08,W
0024: BCF 06.7	0060: MOVWF 00

0061: INCF 4B,F
0062: GOTO 037
0063: MOVF 50,W
0064: MOVWF 77
0065: MOVF 51,W
0066: MOVWF 78
0067: MOVF 52,W
0068: MOVWF 79
0069: MOVF 53,W
006A: MOVWF 7A
006B: RETLW 00
0004: BCF 0A.0
0005: BCF 0A.1
0006: BCF 0A.2
0007: ADDWF 02,F
0008: RETLW 00
0009: RETLW 02
000A: RETLW 00
000B: RETLW FE
000C: RETLW 00
020C: CLRF 04
020D: MOVLW 1F
020E: ANDWF 03,F
020F: MOVLW 9F
0210: MOVWF 04
0211: MOVLW 07
0212: MOVWF 00
0213: BSF 03.5
0214: CLRF 05
0215: CLRF 06
0216: CLRF 07
0217: CLRF 07
0218: MOVLW FF
0219: MOVWF 08
021A: BCF 03.5
021B: BSF 06.6
021C: MOVLW 64
021D: MOVWF 47
021E: GOTO 00D
021F: BCF 06.6
0220: MOVLW 80
0221: MOVWF 07
0222: GOTO 022
0223: CLRF 21
0224: CLRF 44
0225: CLRF 43
0226: MOVF 44,W
0227: SUBLW 01

0228: BTFSS 03.0
0229: GOTO 2EC
022A: BTFSS 03.2
022B: GOTO 230
022C: MOVF 43,W
022D: SUBLW DD
022E: BTFSS 03.0
022F: GOTO 2EC
0230: MOVF 44,W
0231: MOVWF 4A
0232: MOVF 43,W
0233: MOVWF 49
0234: CALL 036
0235: MOVF 7A,W
0236: MOVWF 39
0237: MOVF 79,W
0238: MOVWF 38
0239: MOVF 78,W
023A: MOVWF 37
023B: MOVF 77,W
023C: MOVWF 36
023D: MOVLW E4
023E: ADDWF 43,W
023F: MOVWF 47
0240: MOVF 44,W
0241: MOVWF 48
0242: BTFSC 03.0
0243: INCF 48,F
0244: MOVLW 01
0245: ADDWF 48,F
0246: MOVF 48,W
0247: MOVWF 4A
0248: MOVF 47,W
0249: MOVWF 49
024A: CALL 036
024B: MOVF 7A,W
024C: MOVWF 3D
024D: MOVF 79,W
024E: MOVWF 3C
024F: MOVF 78,W
0250: MOVWF 3B
0251: MOVF 77,W
0252: MOVWF 3A
0253: CLRF 04
0254: MOVF 39,W
0255: MOVWF 4A
0256: MOVF 38,W
0257: MOVWF 49

0258: MOVF 37,W
0259: MOVWF 48
025A: MOVF 36,W
025B: MOVWF 47
025C: MOVF 3D,W
025D: MOVWF 4E
025E: MOVF 3C,W
025F: MOVWF 4D
0260: MOVF 3B,W
0261: MOVWF 4C
0262: MOVF 3A,W
0263: MOVWF 4B
0264: GOTO 06C
0265: MOVF 77,W
0266: MOVWF 3E
0267: MOVF 78,W
0268: XORLW 80
0269: MOVWF 3F
026A: MOVF 79,W
026B: MOVWF 40
026C: MOVF 7A,W
026D: MOVWF 41
026E: MOVF 21,W
026F: SUBLW 03
0270: BTFSS 03.0
0271: GOTO 273
0272: CLRF 21
0273: MOVF 21,W
0274: CALL 004
0275: MOVWF 78
0276: MOVWF 27
0277: INCF 21,F
0278: CLRF 48
0279: MOVF 27,W
027A: MOVWF 47
027B: CALL 1AF
027C: MOVF 7A,W
027D: MOVWF 4A
027E: MOVF 79,W
027F: MOVWF 49
0280: MOVF 78,W
0281: MOVWF 48
0282: MOVF 77,W
0283: MOVWF 47
0284: MOVF 39,W
0285: MOVWF 4E
0286: MOVF 38,W
0287: MOVWF 4D

0288: MOVF 37,W
0289: MOVWF 4C
028A: MOVF 36,W
028B: MOVWF 4B
028C: CALL 1CD
028D: BTFSS 03.0
028E: GOTO 293
028F: CLRF 28
0290: MOVLW 08
0291: MOVWF 2B
0292: GOTO 296
0293: CLRF 2B
0294: MOVLW 01
0295: MOVWF 28
0296: CLRF 48
0297: MOVF 27,W
0298: MOVWF 47
0299: CALL 1AF
029A: MOVF 7A,W
029B: MOVWF 4A
029C: MOVF 79,W
029D: MOVWF 49
029E: MOVF 78,W
029F: MOVWF 48
02A0: MOVF 77,W
02A1: MOVWF 47
02A2: MOVF 3D,W
02A3: MOVWF 4E
02A4: MOVF 3C,W
02A5: MOVWF 4D
02A6: MOVF 3B,W
02A7: MOVWF 4C
02A8: MOVF 3A,W
02A9: MOVWF 4B
02AA: CALL 1CD
02AB: BTFSS 03.0
02AC: GOTO 2B1
02AD: CLRF 29
02AE: MOVLW 10
02AF: MOVWF 2C
02B0: GOTO 2B4
02B1: CLRF 2C
02B2: MOVLW 02
02B3: MOVWF 29
02B4: CLRF 48
02B5: MOVF 27,W
02B6: MOVWF 47
02B7: CALL 1AF

02B8: MOVF 7A,W
02B9: MOVWF 4A
02BA: MOVF 79,W
02BB: MOVWF 49
02BC: MOVF 78,W
02BD: MOVWF 48
02BE: MOVF 77,W
02BF: MOVWF 47
02C0: MOVF 41,W
02C1: MOVWF 4E
02C2: MOVF 40,W
02C3: MOVWF 4D
02C4: MOVF 3F,W
02C5: MOVWF 4C
02C6: MOVF 3E,W
02C7: MOVWF 4B
02C8: CALL 1CD
02C9: BTFSS 03.0
02CA: GOTO 2CF
02CB: CLRF 2A
02CC: MOVLW 20
02CD: MOVWF 2D
02CE: GOTO 2D2
02CF: CLRF 2D
02D0: MOVLW 04
02D1: MOVWF 2A
02D2: MOVF 29,W

02D3: ADDWF 28,W
02D4: ADDWF 2A,W
02D5: ADDWF 2B,W
02D6: ADDWF 2C,W
02D7: ADDWF 2D,W
02D8: ANDLW 3F
02D9: MOVWF 77
02DA: MOVLW C0
02DB: ANDWF 06,W
02DC: IORWF 77,W
02DD: MOVWF 06
02DE: MOVLW 10
02DF: MOVWF 77
02E0: DECFSZ 77,F
02E1: GOTO 2E0
02E2: NOP
02E3: MOVLW C0
02E4: ANDWF 06,W
02E5: MOVWF 06
02E6: NOP
02E7: MOVLW 04
02E8: ADDWF 43,F
02E9: BTFSC 03.0
02EA: INCF 44,F
02EB: GOTO 226
02EC: GOTO 224
02ED: SLEEP

EK B. TEZ KAPSAMINDA YAPILAN YAYINLAR

1-BİR FAZLI TELEKOM EVİRİCİLERİNİN BULANIK MANTIKLA DENETİMİ

International XII. Turkish Symposium on Artificial Intelligence and Neural Networks – TAINN 2003

2-BİR FAZLI EVİRİCİNİN YAPAY SİNİR AĞI İLE HİSTERESİZ AKIM DENETİMİ

International XII. Turkish Symposium on Artificial Intelligence and Neural Networks – TAINN 2003

3-ŞEBEKE AKIM HARMONİKLERİNİN ELİMİNASYONUNDA PARALEL AKTİFFİLTRELERİN KULLANIMI

International XII. Turkish Symposium on Artificial Intelligence and Neural Networks – TAINN 2003

4-ÜÇ FAZLI EVİRİCİLERİN MİKRODENETLEYİCİ İLE DENETİMİ

IJCI Proceedings of International Conference on Signal Processing, ISSN 1304-2386, Volume:1, Number:2, September 2003

5-BİR FAZLI EVİRİCİLERİN MİKRODENETLEYİCİ İLE DENETİMİ

IJCI Proceedings of International Conference on Signal Processing, ISSN 1304-2386, Volume:1, Number:2, September 2003

6-BİR FAZLI EVİRİCİLERİN AÇIK - KAPALI DENETİMİ

IJCI Proceedings of International Conference on Signal Processing, ISSN 1304-2386, Volume:1, Number:2, September 2003

7-GELİŞTİRİLMİŞ DGA İŞARETLERİNİN PIC MİKRODENETLEYİCİLER İLE ÜRETİLMESİ

II. Otomasyon Sempozyumu İzmir EMO


DERGİ YAYINLARI

1- FUZZY LOGİC CONTROLLER FOR SINGLE-PHASE TELECOM INVERTER

International Journal of Computational Intelligence IJCI (ISSN : 1304-2386) ve
International Journal of Intelligent Systems and Information Procwssing IJISIP
(ISSN-1304-4117)

2-ARTIFICIAL NEURAL NETWORK BASED HYSTERESIS CURRENT CONTROLLER FOR SINGLE-PHASE INVERTER

International Journal of Computational Intelligence IJCI (ISSN : 1304-2386) ve
International Journal of Intelligent Systems and Information Procwssing IJISIP
(ISSN-1304-4117)



ÖZGEÇMİŞ

1972 yılında Sarıkamış 'da doğdu. İlk, orta ve lise öğrenimini Sarıkamış 'da tamamladı. 1991 yılında Yıldız Üniversitesi Kocaeli Mühendislik Fakültesi Elektrik Mühendisliği Bölümünde Lisans eğitimine başladı. Aynı yıl Kocaeli Türk Telekomda Teknisyen olarak göreve başladı. 1995 yılında Yıldız Üniversitesi Kocaeli Mühendislik Fakültesi Elektrik Mühendisliği bölümünden elektrik Mühendisi olarak mezun oldu ve Kocaeli Telekomda Elektrik Mühendisliği kadrosuna alındı. 1996 yılında Kocaeli Üniversitesi Fen Bilimleri Enstitüsü Elektrik Mühendisliği Anabilim dalında Yüksek Lisans eğitimine başladı. 1997 yılında Kocaeli Telekom' da Radyolink Baş Mühendisliği görevine getirildi. 1998 yılında Yüksek Lisans eğitimini tamamlayarak aynı yıl Kocaeli Üniversitesi Fen Bilimleri Enstitüsü Elektrik Mühendisliği Anabilim dalında Doktora eğitimine başladı. 2000 yılında Kocaeli Telekomda Mobil Sistemler Müdürlüğü görevine getirildi. Halen Kocaeli Telekomda Mobil Sistemler Müdürü olarak çalışmaktadır.